



Alexsandro Fortes Varela Landim
Licenciado em
Engenharia Eletrotécnica e de Computadores

Desenvolvimento de modelo comportamental de PLLs e sua integração no ambiente CADENCE

Dissertação apresentada para obtenção de Grau de Mestre em Engenharia Eletrotécnica e de Computadores, pela Universidade Nova de Lisboa, Faculdade de Ciências e Tecnologia.

Orientador: Dr^a Maria Helena Silva Fino, Professora Doutora, FCT-UNL

Júri:

Presidente: Doutor Rui Miguel Henriques Dias Morgado Dinis]

Arguentes: Doutor João Pedro Abreu de Oliveira

Vogais: Doutora Maria Helena Silva Fino
Doutor João Pedro Abreu de Oliveira



FACULDADE DE
CIÊNCIAS E TECNOLOGIA
UNIVERSIDADE NOVA DE LISBOA

Setembro, 2017

Desenvolvimento de modelo comportamental de PLLs e a sua integração no ambiente CADENCE

Copyright © Alexsandro Fortes Varela Landim, Faculdade de Ciências e Tecnologia, Universidade Nova de Lisboa.

A Faculdade de Ciências e Tecnologia e a Universidade Nova de Lisboa têm o direito, perpétuo e sem limites geográficos, de arquivar e publicar esta dissertação através de exemplares impressos reproduzidos em papel ou de forma digital, ou por qualquer outro meio conhecido ou que venha a ser inventado, e de a divulgar através de repositórios científicos e de admitir a sua cópia e distribuição com objetivos educacionais ou de investigação, não comerciais, desde que seja dado crédito ao autor e editor.

À minha mãe.

Agradecimentos

A realização deste trabalho engloba não só o autor, mas também inúmeras pessoas que deram os seus contributos de uma forma direta ou indireta. Desta forma, gostaria de mencionar algumas pessoas e instituições.

Começo por agradecer à minha orientadora, Professora Dr.^a Maria Helena Fino, pela, disponibilidade, votos de confiança, incentivo e elevada capacidade de trabalho, que desta forma, contribuiu para a realização desta dissertação.

Os meus sinceros agradecimentos a todos os docentes do curso Mestrado Integrado em Engenharia Eletrotécnica e de Computadores da Universidade Nova de Lisboa, Faculdade de Ciências e Tecnologia, pela partilha de conhecimento durante o percurso de 5 anos.

Um grande obrigado a equipa de Programa Escolha, juntamente com o meu mentor Manuel Silva Correia e a AMI (Assistência Médica Internacional).

Agradeço a equipa de Serviço de Ação Social da Universidade Nova de Lisboa, pelo voto de confiança.

Queria também agradecer a todos os meus familiares, amigos e conhecidos que contribuíram diretamente ou indiretamente para a realização deste projeto.

Acima de tudo queria agradecer a Deus por tudo que ele tem feito por mim durante este percurso.

Resumo

As malhas de captura de fase (PLLs) são sistemas de realimentação negativa, cuja a função é reduzir a diferença de fase entre o sinal de referência e o sinal na saída do oscilador controlado por tensão. De um ponto de vista geral um PLL é constituído por um detetor de fase, oscilador controlado por tensão e por um filtro passa-baixo. O bom funcionamento do PLL depende de um bom funcionamento de cada um desses blocos individualmente.

Embora os PLLs sejam dispositivos muito utilizados em diversas áreas, o seu projeto é dificultado pelo demasiado tempo de simulação elétrica em malha fechada.

Esta dissertação surge com o intuito de desenvolver modelos comportamentais para redução de tempo de simulação. Esses modelos comportamentais foram desenvolvidos utilizando uma linguagem de descrição de *hardware* denominada *verilogA*.

Inicialmente, foram desenvolvidos modelos comportamentais ideais e posteriormente foram desenvolvidos os não ideais (introdução do *jitter*).

As simulações de cada um dos componentes e do sistema PLL (ideal e não ideal) completo, foram feitas utilizando o ambiente CADENCE. De acordo com os resultados de simulações foi possível verificar que tanto para PLL ideal como também para não PLL ideal, existe um sincronismo tanto na fase como na frequência, entre o sinal de referência e o sinal de realimentação. Esses resultados de simulações foram obtidos na ordem de microssegundos (desta forma resolvendo o problema de demasiado tempo de simulação).

Palavras-chave: PLL (Malha de Captura de Fase), VCO (Oscilador Controlado por Tensão), PFD (Detetor de Fase/Frequência), LPF (Filtro Passa-Baixo) e FD (Divisor de Frequência).

Abstract

Phase-locked-loops (PLLs) are negative feedback systems, where the main function is to reduce the phase difference between the reference and the output signals. The simplest PLLs are constituted a by phase detector, a voltage controlled oscillator and low pass filter.

Although PLLs are widely used in several applications, their design is not straiht forward due to need for lengthy electric simulations in closed loop.

The main objective of this dissertation is the development of behavioral models to reduce PLLs simulation time. These models were developed using the hardware description language verilogA.

Initially, all models considered ideal PLL blocks. Then models accounting for jitter were also considered.

The simulations of each model as well as of the overall system were carried out in CADENCE environment. According to the simulation results it was possible to verify synchronization in phase and in frequency, between reference and output signals, for both ideal and non-ideal situations, thus solving the problem about time simulation in closed loop.

Keywords: PLL (Phase Locked Loop), VCO (Voltage Controller Oscillator), PFD (Phase/Frequency Detector), LPF (Low Pass-Filter) and FD (Frequency Divider).

Conteúdo

AGRADECIMENTOS	V
RESUMO	VII
ABSTRACT	IX
LISTA DE TABELAS	XIII
LISTA DE FIGURAS	XV
ACRÓNIMOS	XVII
1. INTRODUÇÃO	1
1.1. INTRODUÇÃO A PLL	1
1.2. CONTEXTO E MOTIVAÇÃO	2
1.3. CONTRIBUIÇÕES OBJETIVOS	3
1.4. ORGANIZAÇÃO DA DISSERTAÇÃO	3
2. CONCEITOS BÁSICOS	5
2.1. INTRODUÇÃO	5
2.2. PLL DO TIPO I	5
2.2.1. <i>Oscilador Controlado por Tensão (VCO)</i>	5
2.2.2. <i>Detetor de fase (PD)</i>	6
2.2.3. <i>Filtro Passa Baixo (LPF)</i>	9
2.2.4. <i>Caraterística de PLL tipo I</i>	10
2.3. PLL DO TIPO II	12
2.3.1. <i>Detetor de fase/frequência sequencial (PFD).</i>	12
2.3.2. <i>Bomba de Carga (CP)</i>	14
2.3.3. <i>Característica do PLL do tipo II</i>	15
2.4. DIVISOR DE FREQUÊNCIA (FD)	17

2.5.	JITTER EM PLL	18
2.5.1.	<i>Classificação do Jitter quanto ao tipo e origem</i>	18
3.	MODELAÇÃO DO PLL	21
3.1.	INTRODUÇÃO	21
3.2.	MODELAÇÃO DOS BLOCOS DO PLL DO TIPO II	21
3.2.1.	<i>Modelação do Detetor de fase/frequência</i>	21
3.2.2.	<i>Charge Pump</i>	25
3.2.3.	<i>Filtro Passa-Baixo</i>	26
3.2.4.	<i>Oscilador Controlado por Tensão</i>	27
3.2.5.	<i>FD Divisor de Frequência</i>	31
4.	VALIDAÇÃO DOS RESULTADOS	35
4.1.	INTRODUÇÃO	35
4.2.	VALIDAÇÃO DO MODELO DO DETETOR DE FASE/FREQUÊNCIA	35
4.3.	CHARGE PUMP	38
4.4.	FILTRO PASSA-BAIXO	41
4.5.	OSCILADOR CONTROLADO POR TENSÃO	42
4.6.	FD DIVISOR DE FREQUÊNCIA	43
4.7.	PLL	44
4.8.	PLL NÃO IDEAL	46
4.8.1.	<i>Detetor de fase/frequência não ideal</i>	46
4.8.2.	<i>Oscilador Controlador por Tensão não ideal</i>	49
4.8.3.	<i>Divisor de Frequência não ideal</i>	50
4.8.4.	<i>PLL não ideal</i>	51
5.	CONCLUSÃO E TRABALHO FUTURO	53
5.1.	CONCLUSÕES	53
5.2.	TRABALHO FUTURO	54

Lista de Tabelas

Tabela 2.1- Função de transferência dos filtros	10
Tabela 3.1 Descrição dos parâmetros utilizados na modelação do PFD ideal.	23
Tabela 3.2 Descrição dos parâmetros utilizados na modelação do PFD com jitter.	24
Tabela 3.3 Descrição dos parâmetros utilizados na modelação do CP ideal.	26
Tabela 3.4 Descrição dos parâmetros utilizados na modelação do LPF.	27
Tabela 3.5 Descrição dos parâmetros utilizados na modelação do VCO ideal.	29
Tabela 3.6 Descrição dos parâmetros utilizados na modelação do VCO com jitter.	30 31
Tabela 3.7 Descrição dos parâmetros utilizados na modelação do FD ideal.	33
Tabela 3.8 Descrição dos parâmetros utilizados na modelação do FD com jitter.	34

Lista de Figuras

Figura 1.1 PLL na sua versão mais simples	2
Figura 2.1 Característica do VCO.....	6
Figura 2.2 Característica do Detetor de fase ideal.....	7
Figura 2.3- Característica do detetor de fase do tipo XOR.....	7
Figura 2.4 Detetor de fase como multiplicador analógico.	8
Figura 2.5 PLL simples com PD, LPF e VCO.	9
Figura 2.6-Filtros utilizados no PLL.....	10
Figura 2.7 Modelo de PLL do tipo I, no domínio de fase.....	11
Figura 2.8 (a) Resposta do PFD quando as entradas têm frequências diferente. (b) Resposta do PFD quando as entradas têm fase diferente.....	13
Figura 2.9-Diagrama de estado de PFD	14
Figura 2.10 Bomba de carga.	15
Figura 2.11 Primeira tentativa em contruir CP-PLL.....	15
Figura 2.12 PLL com Bomba de carga.	16
Figura 2.13- (a) Sinal ideal, (b) Sinal com jitter.....	18
Figura 4.1 Esquema de simulação Elétrica do PFD.	36
Figura 4.2 Resposta do PFD com $\omega V_{fb} < \omega V_{ref}$	36
Figura 4.3 Resposta do PFD com $\omega V_{fb} > \omega V_{ref}$	37
Figura 4.4 Resposta do PFD com $\omega V_{fb} = \omega V_{ref}$ e $\phi V_{fb} \neq \phi V_{ref}$	38
Figura 4.5 Esquema de simulação elétrica do bloco CP.	38
Figura 4.6 Resposta do CP quando UP está ativo e DN desativo.	39
Figura 4.7 Resposta do CP quando DN está ativo e UP desativo.	40
Figura 4.8 Resposta do CP quando UP e DN estão desativo.	40
Figura 4.9 Esquema de simulação elétrica do LPF.	41
Figura 4.10 Resultado de simulação do LPF.	41
Figura 4.11 Esquema de simulação elétrica do VCO.....	42
Figura 4.12 Resultado de simulação do VCO.....	43

Figura 4.13 Esquema de simulação elétrica do FD.	43
Figura 4.14 Resultado de simulação do FD.....	44
Figura 4.15- Esquema de simulação elétrica do PLL.	44
Figura 4.16 - Resultado de simulação elétrica do PLL.....	45
Figura 4.17 Esquema de simulação elétrica do bloco PFD não ideal.....	46
Figura 4.18 Resposta do PFD não ideal $\omega V_{fb} < \omega V_{ref}$	47
Figura 4.19 Resposta do PFD não ideal com $\omega V_{fb} > \omega V_{ref}$	48
Figura 4.20 Esquema de simulação elétrica do bloco VCO não ideal.	49
Figura 4.21 Resultado de simulação do bloco VCO não ideal.	49
Figura 4.22 Esquema de simulação elétrica do bloco FD não ideal.....	50
Figura 4.23 Resultados de simulação do bloco FD não ideal.	50
Figura 4.24 Esquema de simulação elétrica do sistema PLL não ideal.	51
Figura 4.25 Resultados de simulação do sistema PLL não ideal.....	52

Acrónimos

PLL – *Phase-locked Loop* – Malha de Captura de fase

VCO – *Voltage Controlled Oscillator* – Oscilador controlado por tensão

PD – *Phase Detetor* – Detetor de Fase

LPF – *Low Pass Filter* – Filtro passa-baixo

PFD – *Phase/Frequency Detetor* – Detetor de Fase/Frequência

CP – *Charge Pump* – Bomba de carga

FD – *Frequency Divider* – Divisor de Frequência

LPF – *Low Pass Filter* – Filtro Passa Baixo

RTL - *Register Transfer Level* – Nível de Transferência de Registro

HDL - *Hardware Description Language* – Linguagem de Descrição de Hardware

1. Introdução

Neste capítulo será feita uma breve introdução ao trabalho desenvolvido, englobando o enquadramento e motivação. É também explicado o porquê da escolha do tema, os objetivos a atingir.

Na subsecção 1.1 é apresentado a introdução aos PLLs, explicando o seu funcionamento básico. Na secção 1.2 apresenta-se o contexto e motivação sobre o trabalho a desenvolver, o porquê da escolha do tema e a importância do tema na atualidade. Na secção 1.3 são apresentadas as contribuições deste trabalho para a atualidade e os objetivos a alcançar. Finalmente a secção 1.4 apresenta a forma como o trabalho se encontra estruturada.

1.1. Introdução a PLL

As malhas de captura de fase, vulgarmente denominadas PLLs (em inglês *Phase-locked Loop*), são sistemas de realimentação negativa, em que a ideia básica de funcionamento se baseia em reduzir a diferença de fase entre o sinal de referência e o sinal proveniente do VCO (em inglês, *Voltage Controlled Oscillator*)[1]. De uma maneira mais específica, o PLL pode ser definido como um circuito que sincroniza um sinal gerado por um oscilador com um sinal de referência, e esta sincronização tem que ser feita tanto a nível de fase como também a nível de frequência.

Os PLLs são basicamente constituídos por, um oscilador controlado por tensão (VCO), em que a frequência do sinal de saída é proporcional à tensão de entrada, por um detetor de fase (em inglês, *Phase Detetor*- PD), cuja função é comparar dois sinais periódicos e produzir um

sinal de saída que reflete a diferença na frequência/fase entre o sinal de referência e o sinal gerado pelo VCO, como se ilustra na Figura 1.1.

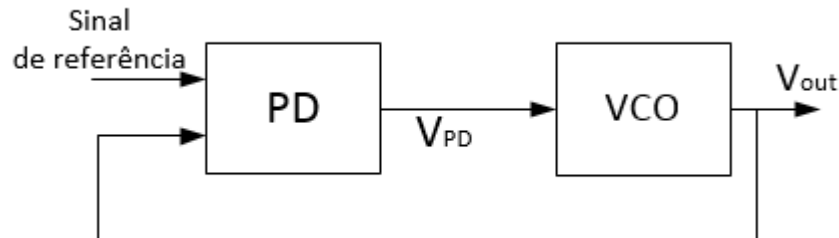


Figura 1.1 PLL na sua versão mais simples

Como será descrito no capítulo 2, os PLLs são usualmente implementados usando um filtro passa baixo (em inglês, *Low Pass Filter* - LPF) entre o detector de fase e o VCO por forma a eliminar as componentes harmónicas de alta ordem a saída do detetor de fase [1]–[3].

Os PLLs são utilizados frequentemente na recuperação de dados em sistemas de comunicações para sintetizar o sinal de relógio em sistemas digitais[4]. Ainda são utilizados em várias aplicações tais como: sincronização de sinal, desmodulação linear, desmodulação e modulação da fase ou frequência de um sinal analógico ou digital e na detenção de amplitude de um sinal[4].

1.2. Contexto e Motivação

O elevado crescimento de utilização de dispositivos com comunicação sem fios tornou as arquiteturas de rádio alvo de grande atenção nos últimos anos. O termo PLL está sempre presente na descrição dos sistemas de comunicações modernos devido à sua notável versatilidade. Assim sendo, surge uma enorme necessidade de aperfeiçoamento das técnicas de projeto.

Esta dissertação surge no sentido de tornar a simulação do sistema PLL mais eficiente, pelo desenvolvimento de modelos comportamentais e consequente integração no ambiente CA-DENCE, economizado imenso tempo de simulação.

1.3. Contribuições Objetivos

Muito embora os PLLs sejam largamente utilizados em diversas áreas de aplicação, o seu projeto, é bastante dificultado, devido ao demasiado tempo de simulação elétrica em malha fechada. Contudo, com a utilização de modelos comportamentais consegue-se obter solução, que permite simular de uma forma mais eficiente.

Este trabalho baseia-se no desenvolvimento em VerilogA de modelos comportamentais dos blocos funcionais constituintes dos PLLs e sua integração no ambiente CADENCE.

O projeto foi desenvolvido em duas fases, em que na primeira fase se consideraram cada um dos blocos que constituem um PLL, como sendo ideais. Posteriormente, foram desenvolvidos modelos não ideais para os diversos blocos.

1.4. Organização da dissertação

Este trabalho foi estruturado em 5 capítulos e está organizada da seguinte forma:

Capítulo 1 – Introdução – Contém uma breve introdução à dissertação, explicando os objetivos, contextualização e a motivação que levou à sua elaboração.

Capítulo 2 – Conceitos Básicos - Neste capítulo é feita uma introdução aos conceitos básicos de suporte ao trabalho desenvolvido. É feita uma descrição do funcionamento cada um dos blocos que constituem um PLL, sendo apresentados modelos matemáticos de suporte ao desenvolvimento dos modelos comportamentais.

Capítulo 3 – Modelação de PLL – Este capítulo é feita a descrição dos modelos desenvolvidos. O capítulo é dividido em dois subcapítulos, em que numa primeira abordagem o PLL é modelado considerando-o ideal e na segunda abordagem é modelado considerando a existência de jitter. Ainda neste capítulo são apresentados os códigos utilizados na modelação dos blocos.

Capítulo 4 – Validação dos Resultados - Este capítulo é dedicado à análise e discussão dos resultados obtidos. Serão apresentados esquemas de simulações de cada um dos blocos individualmente, bem como, os gráficos das respostas das simulações. Cada resultado apresentado, é discutido de acordo com a modelação, feita no capítulo 3.

Capítulo 5 – Conclusão - São apresentadas todas as conclusões obtidas ao longo deste trabalho, tendo em consideração as diferentes implementações, e deixando-se em aberto uma possível proposta para trabalhos futuros.

2. Conceitos básicos

2.1. Introdução

Neste capítulo são introduzidos os conceitos básicos relativos às malhas de captura de fase. A descrição é feita tendo por base os tipos de PLLs. Inicialmente, são descritos os blocos elementares que constituem os PLL do tipo I, sendo apresentados, para cada um deles os modelos matemáticos que permitem caracterizar o respetivo funcionamento e que servem de suporte à implementação do correspondente modelo comportamental. Uma vez apresentadas as limitações deste tipo de PLL, são apresentados os PLLs de tipo II, e é feita uma descrição dos respetivos blocos constituintes.

2.2. PLL do tipo I

Como já referido na introdução, um PLL elementar é constituído por um detetor de fase (PD) e um oscilador controlado por tensão (VCO). Nas subsecções seguintes será feita uma breve descrição destes blocos, sendo posteriormente feita uma apresentação do PLL do tipo I.

2.2.1. Oscilador Controlado por Tensão (VCO)

O VCO, é um circuito eletrónico que produz uma tensão de saída oscilatória,[5]. De uma forma mais simples, pode dizer-se que o VCO, é um oscilador que tem uma frequência de saída proporcional a tensão de entrada aplicada. Os VCOs podem ser dimensionados para trabalhar a frequência de poucos *Hertz* à frequências de centenas de *GHz*,[5].

A característica de transferência do VCO é uma função linear entre frequência de saída e a respetiva tensão de controlo. Na Figura 2.1 é mostrado o comportamento desejado de um VCO. A frequência de saída, ω_{out} , varia entre ω_{min} e ω_{max} , e a tensão de controlo, V_{cont} , varia entre V_{min} e V_{max} .

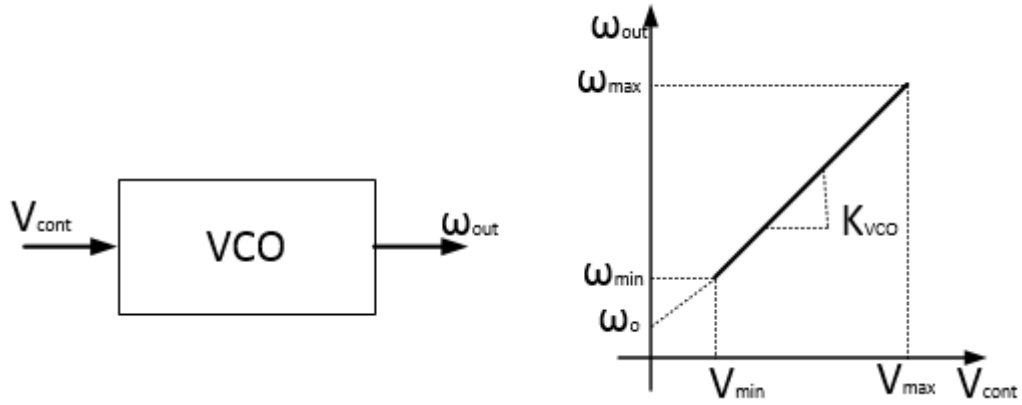


Figura 2.1 Característica do VCO.

O declive da característica, K_{VCO} , é designado ganho do VCO e pode ser expresso em $rad.s^{-1}V^{-1}$. Assim sendo, a equação caraterística do VCO pode ser dada por,

$$\omega_{out} = K_{VCO}V_{cont} + \omega_o, \quad (2.1)$$

em que, ω_o é o ponto de intercessão no eixo vertical.

Integrando a equação (2.1), pode ser calculado o angulo de fase do sinal de saída. Com isso tem-se,

$$\theta_o(t) = \int_0^t \omega_{out}(\tau) d\tau \quad (2.2)$$

$$= \int_0^t (K_{VCO}V_{cont} + \omega_o) dt \quad (2.3)$$

O sinal de saída do VCO é dado por,

$$v_{out}(t) = V_o \sin(\theta_o), \quad (2.4)$$

em que, V_o é a amplitude de tensão de saída e θ_o é a fase.

2.2.2. Detetor de fase (PD)

A função de um detetor de fase é comparar dois sinais periódicos e produzir um sinal de saída que reflete a diferença na fase entre o sinal de referência e o sinal gerado pelo VCO,[4].

Na Figura 2.2 é apresentado um detetor de fase e a sua caraterística (em função de erro de fase, $\Delta\Phi$), em que o declive denominado ganho é dado por K_{PD} . Para uma saída em tensão, K_{PD} é expresso em $V.rad^{-1}$, [6]–[13]. Na prática a caraterística do PD pode não ser linear.

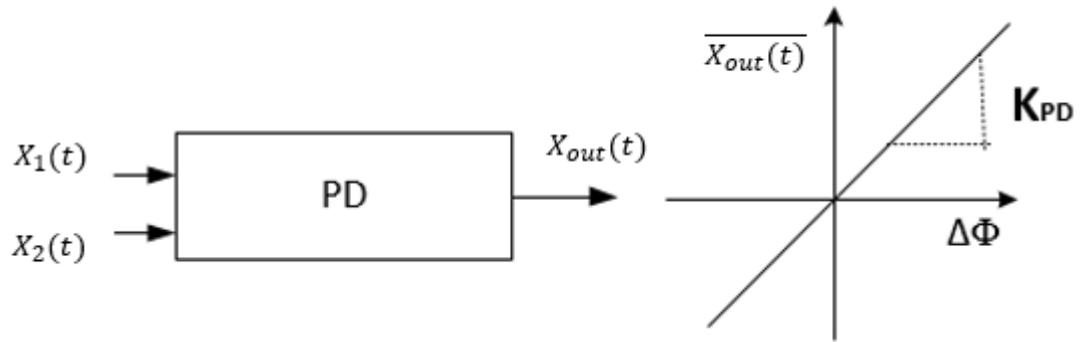


Figura 2.2 Característica do Detetor de fase ideal.

Um detetor de fase, pode ser implementado através da porta logica XOR(*OU-Exclusivo*), com dois sinais periódicos de entrada $X_1(t)$ e $X_2(t)$, e em que o valor médio do sinal de saída $X_{out}(t)$, é proporcional a diferença entre as fases dos sinais de entrada, [3].

Na Figura 2.3 é apresentado o funcionamento do detetor de fase do tipo XOR. O valor médio do $X_{out}(t)$ é proporcional a diferença entre as fases das duas entradas($X_1(t)$ e $X_2(t)$),[8].

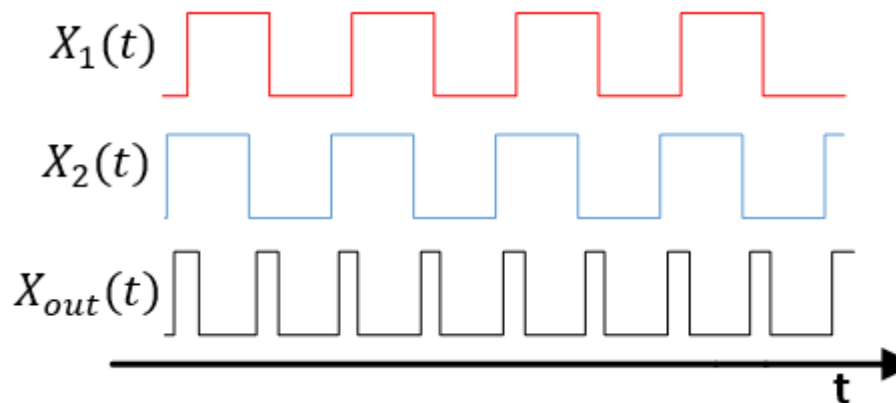


Figura 2.3- Característica do detetor de fase do tipo XOR.

2.2.2.1. Detetor de fase analógico

Num sistema analógico, um detetor de fase funciona como um multiplicador,[4]. Na Figura 2.4 pode observar-se um bloco de um detetor de fase multiplicador analógico.

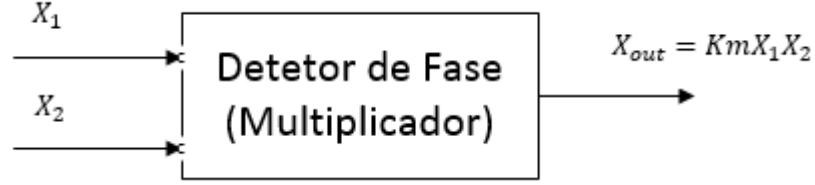


Figura 2.4 Detetor de fase como multiplicador analógico.

Tendo x_1 como o sinal de referencia e x_2 como o sinal de saída do VCO tal que,[14]:

$$x_1 = X_1 \sin(\omega_i t + \theta_1) \quad (2.5)$$

$$x_2 = X_2 \cos(\omega_o t + \theta_2) \quad (2.6)$$

Onde, a saída do detetor de fase é um sinal resultante da multiplicação do sinal de referência (x_1) e sinal gerado pelo VCO (x_2). O produto entre os dois sinais de entrada é dado por x_{out} .

$$x_{out} = Kx_1x_2 \quad (2.7)$$

$$x_{out} = 0.5KX_1X_2 \sin(\theta_1 - \theta_2) + 0.5KX_1X_2 \sin(2\omega_i t + \theta_1 + \theta_2) \quad (2.8)$$

O segundo termo da equação (2.8) corresponde a uma componente de alta frequência que será filtrada por um filtro passa baixo. Sendo assim, só resta o primeiro termo que é a saída do detetor de fase. A equação final de detetor de fase do tipo multiplicador analógico é dada por:

$$x_{out} = 0.5KX_1X_2 \sin(\theta_e) \quad (2.9)$$

$$x_{out} = K_m \sin(\theta_e) \quad (2.10)$$

Em que, $\theta_e = \theta_1 - \theta_2$ é o erro de fase associado a detetor de fase e $K_m = 0.5X_1X_2$. O PLL encontra-se no estado sincronizado quando θ_e é aproximadamente zero, i.e., $\theta_e \approx 0$. Isso significa que o sinal de referência e o sinal gerado pelo VCO estão em fase, ou seja, $\theta_1 = \theta_2$ [6]–[10]

Em qualquer dos casos, PD digital ou PD analógico, o sinal de saída contém componentes de alta frequência que devem ser eliminadas de maneira a garantir que a tensão de controlo do VCO não é afetada por sinais de alta frequência. Desta forma, introduz-se um filtro passa baixo entre os blocos PD e VCO, conforme é mostrado na Figura 2.5.

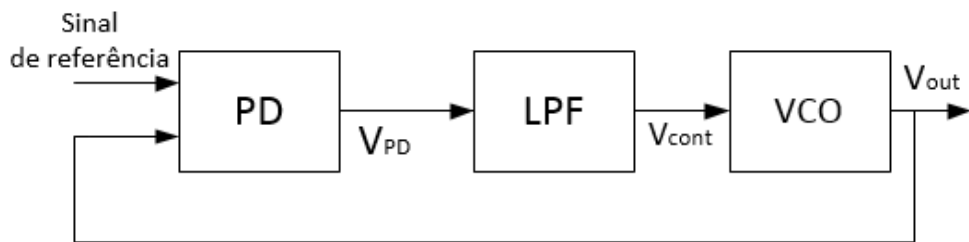


Figura 2.5 PLL simples com PD, LPF e VCO.

2.2.3. Filtro Passa Baixo (LPF)

Um outro bloco de extrema importância para analisar num sistema PLL, é o filtro passa baixo, que tem por função eliminar as harmônicas de ordem superior do sinal de controle que será usado para modular a frequência de saída VCO[4].

É a ordem do filtro que determina a ordem do sistema do PLL. Na equação (2.11), pode ver-se a relação entre a ordem do filtro e a ordem do PLL,[15].

$$\text{Ordem de PLL} = \text{Ordem do filtro} + 1 \quad (2.11)$$

Tipicamente o sistema de PLL mais utilizado é o de segunda ordem dado que o filtro mais utilizado é o de primeira ordem. Para os sistemas de ordem superior podem verificar-se várias complicações durante a sua configuração, pois pode ser necessário incluir a compensação de estabilidade,[15].

Na Figura 2.6, são ilustrados os quatro tipos de filtros mais utilizados na implementação de sistemas PLLs. Para cada um desses filtros é mostrada a sua função de transferência na tabela 2.1. Esses filtros são utilizados de acordo com a necessidade ao projetar um sistema PLL. Na figura 2.6 os parâmetros R_1 e R_2 são valores de resistências em *Ohm* e o parâmetro C o valor da capacidade do condensador em Faraday, [16]–[19].

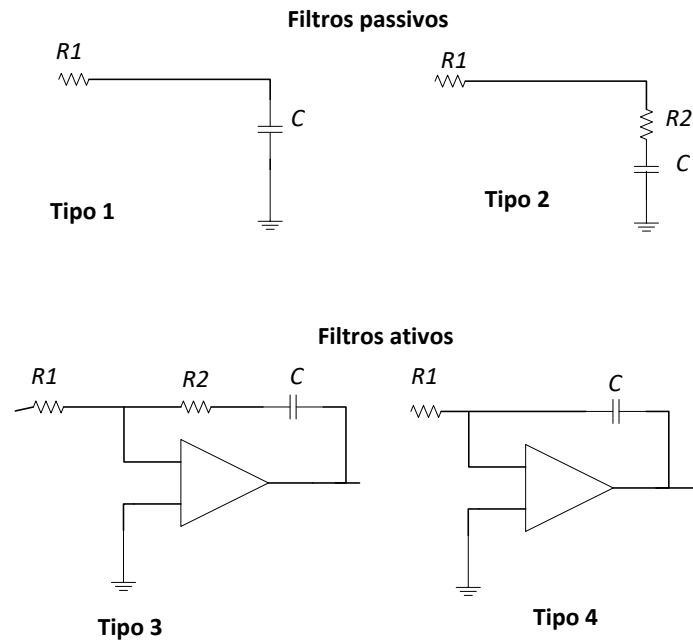


Figura 2.6-Filtros utilizados no PLL

Na tabela abaixo é mostrado a função de transferência de cada tipo de filtro, em que $\tau_1 = R_1 C$ e $\tau_2 = R_2 C$.

Tabela 2.1- Função de transferência dos filtros

Filtro	Função de transferência
Tipo 1	$F(s) = \frac{1}{1 + s\tau_1}$
Tipo 2	$F(s) = \frac{1 + s\tau_2}{1 + s(\tau_1 + \tau_2)}$
Tipo 3	$F(s) = \frac{1 + s\tau_2}{s\tau_1}$
Tipo 4	$F(s) = \frac{1}{s\tau_1}$

2.2.4. Caraterística de PLL tipo I

A Figura 2.7 apresenta o diagrama de bloco de PLL do tipo I no domínio de fase.

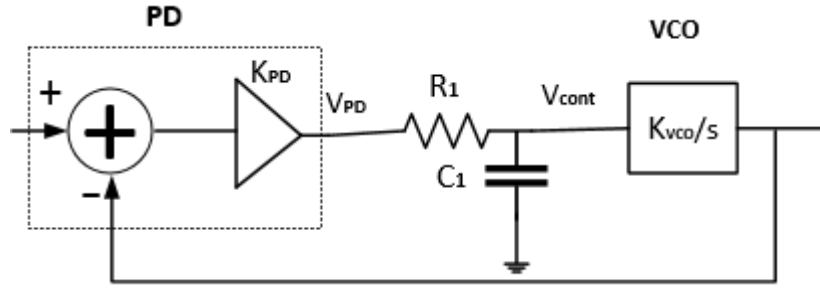


Figura 2.7 Modelo de PLL do tipo I, no domínio de fase.

Do ponto de vista de fase o PLL pode ser descrito pela seguinte equação[20]–[23]:

$$H(s) = \frac{\Phi_{in}}{\Phi_{out}} = \frac{K_{PD}K_{VCO}}{R_1C_1s^2 + s + K_{PD}K_{VCO}} \quad (2.12)$$

Em que, o PD efetua a diferença de fase entre os dois sinais de entrada com um ganho de K_{PD} , e o VCO apresenta um ganho dado por K_{VCO}/s .

O PLL é considerado do tipo I, pois a função de transferência em malha aberta contém um polo na origem[20], [21], [24].

A função de transferência de segunda ordem apresentada na equação 2.12 pode apresentar comportamento sob amortecido, sobre amortecido ou criticamente amortecido. Para derivar as condições correspondente, o denominador da função é expresso numa forma familiar na teoria de controlo, $s^2 + 2\zeta\omega_n s + \omega_n^2$, em que ζ é o fator de amortecimento e ω_n é a frequência natural[24].

Assim sendo,

$$H(s) = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (2.13)$$

Em que,

$$\zeta = \frac{1}{2} \sqrt{\frac{\omega_{LPF}}{K_{PD}K_{VCO}}} \quad (2.14)$$

$$\omega_n = \sqrt{K_{PD}K_{VCO}\omega_{LPF}}, \quad (2.15)$$

e $\omega_{LPF} = 1/(R_1C_1)$. O fator de amortecimento é tipicamente escolhido para ser $\sqrt{2}/2$ ou maior de modo a proporcionar uma melhor resposta (criticamente amortecido ou sobre amortecido).

O PLL de tipo I, é raramente utilizada nos sintetizadores modernos pelas seguintes razões. Primeiro, a equação (2.14) impõe uma relação estreita entre a malha de estabilidade (ζ), e a frequência de corte do filtro passa baixo. Observando a Figura 2.7, é de notar que a ondulação controla a frequência do VCO e isto deve ser eliminado escolhendo um valor pequeno de ω_{LPF} . Contudo, um valor pequeno de ω_{LPF} que contribui para uma malha menos estável. Segundo, deve-se ao fato de que a faixa de aquisição é limitada, se a frequência do VCO e a frequência do sinal de referência são muito diferentes, a malha pode nunca alcançar a sincronização[24]–[26].

2.3. PLL do tipo II

O PLL do tipo II surge resolvendo em primeiro lugar o segundo problema do PLL do tipo I, nomeadamente a limitada faixa de aquisição.

O bloco PD não oferece informações suficientes quando as suas entradas são sinais com frequências muito diferentes. Para resolver este problema é necessário utilizar um outro bloco que não só dá informações ao nível de fase, mas também a nível de frequência. Desta forma surge o bloco PFD que será explicado seguidamente[2], [3], [27], [28].

2.3.1. Detetor de fase/frequência sequencial (PFD).

A Figura 2.8, apresenta a operação de um PFD. O circuito produz duas saídas, *UP* e *DN*. O bloco PFD baseia-se nos seguintes princípios de funcionamento: (1) um pulso em *Vfb* (tensão de *feedback*, ou tensão de realimentação) produz um pulso em *UP* (com *Vfb* ativo à 0), e (2) um pulso em *Vref* (tensão de referência) faz *reset* em *UP* e produz um pulso em *DN* (com *Vref* ativo à 1), [14], [27], [29].

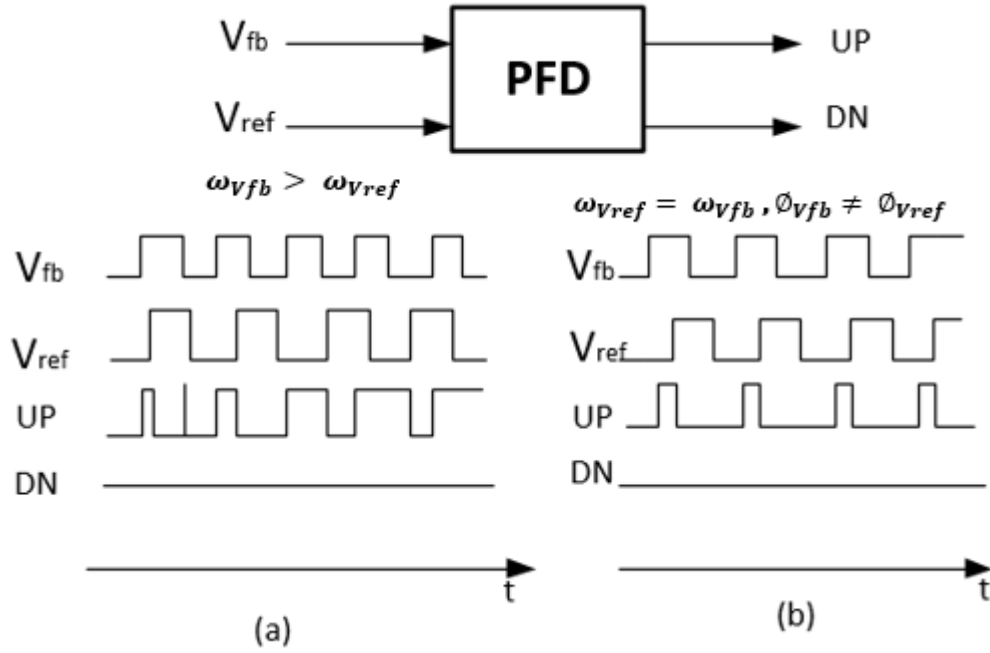


Figura 2.8 (a) Resposta do PFD quando as entradas têm frequências diferente. (b) Resposta do PFD quando as entradas têm fase diferente.

Observando a Figura 2.8 (a), em que $\omega_{Vfb} > \omega_{Vref}$ (frequência de tensão de *feedback* maior do que a frequência de tensão referencia), pode ver-se que quando *UP* produz pulso enquanto *DN* permanece a zero. Contrariamente, se $\omega_{Vref} > \omega_{Vfb}$, um pulso positivo aparece em *DN* enquanto *UP*=0. Na Figura 2.8 (b), tem uma outra situação, em que $\omega_{Vref} = \omega_{Vfb}$, ($\phi_{Vfb} \neq \phi_{Vref}$), para esta situação, o circuito produz um pulso em *UP* ou *DN* com largura igual a diferença de fase entre *Vfb* e *Vref*[29], [30].

No funcionamento de um PLL, o sinal *UP* é usado para aumentar a frequência do VCO, enquanto o sinal *DN* é usado para diminuir a frequência do VCO[4]. Assim a frequência do VCO é ajustada (aumentando ou diminuindo) até que os dois sinais estejam sincronizados tanto na fase como na frequência. Com isto, pode ver-se que o PFD certifica que os dois sinais estão sincronizados tanto na fase como na frequência, quando a diferença de fase entre as tensões de entrada for zero ($\phi_{Vfb} - \phi_{Vref} = 0$)[4].

São necessários no mínimo três estados lógicos para modelar o bloco PFD. No primeiro estado é considerado que, $UP=DN=0$. No segundo estado, $UP=0$, $DN=1$. Finalmente no terceiro estado, $UP=1$, $DN=0$. Na Figura 2.9, podemos ver o diagrama de estado de funcionamento de um detetor de fase do tipo fase/frequência sequencial[15][1].

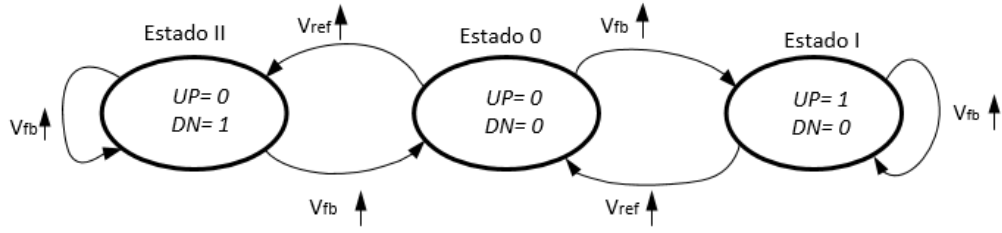


Figura 2.9-Diagrama de estado de PFD

O diagrama de estado apresentado na Figura 2.9 tem os seguintes princípios de funcionamento: (1) se o PFD estiver em estado 0, uma transição em Vfb leva o diagrama para o estado I, em que, $Vfb=1$ e $Vref=0$. O circuito permanece no estado 1, até que ocorra uma transição em $Vref$, em que, o PFD retorna ao estado 0. A mudança de sequência entre os estados 0 e II é semelhante[10].

O bloco PFD resolve o problema de limitada faixa de aquisição, mas ainda falta resolver o problema da relação estreita entre o fator de amortecimento e a frequência de corte do filtro passa baixo (equação 2.14). Isto é resolvido introduzindo uma bomba de carga[16], [18].

2.3.2. Bomba de Carga (CP)

O CP num PLL é um comutador eletrônico que é responsável por fornecer uma carga proporcional a diferença de fase/frequência proveniente do PFD [31]. O CP pode ainda ser visto como um circuito com três estado de comutação que entrega uma bomba de tensão $\pm V_p$ ou uma bomba de corrente $\pm I_p$ para o filtro[4].

Na Figura 2.10 é mostrado um exemplo de implementação de um CP, em que S_1 e S_2 são controlados pelas entradas UP e DN respectivamente. Um pulso de largura ΔT em UP ativa o interruptor S_1 em ΔT segundos, desta forma, permitindo que I_1 carregue C_1 . Consequentemente, V_{out} aumenta segundo a expressão $\Delta T \cdot \frac{I_1}{C_1}$. Similarmente, um pulso em DN diminui o V_{out} . Finalmente se $I_1 = I_2 = I_p$, significa que UP e DN estão sincronizados, desta forma, não alterar o valor do V_{out} [13].

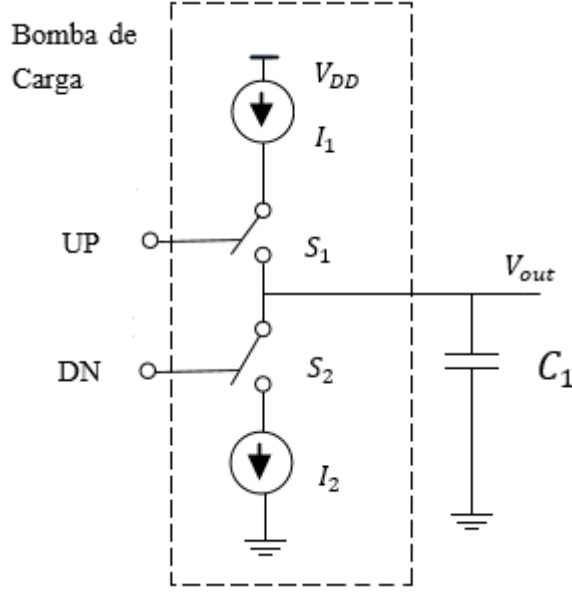


Figura 2.10 Bomba de carga.

2.3.3. Característica do PLL do tipo II

A Figura 2.11 apresenta o diagrama de bloco de PLL do tipo II no domínio de fase.

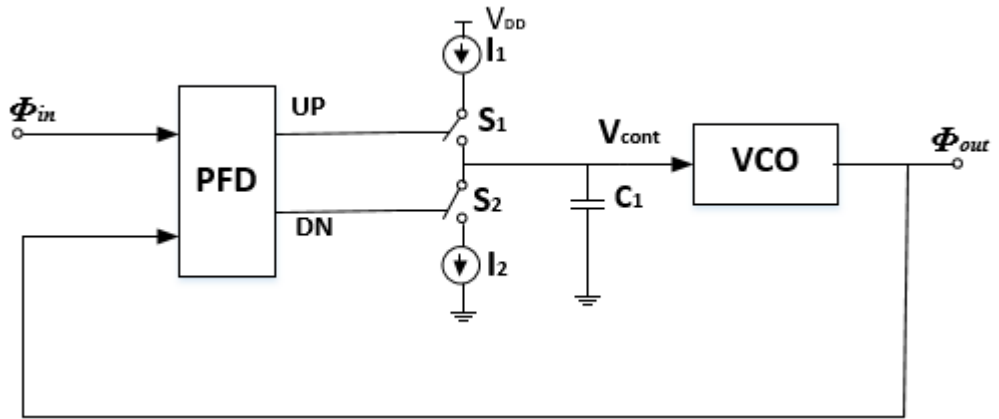


Figura 2.11 Primeira tentativa em contruir CP-PLL.

Observando a Figura 2.11 pode-se escrever a seguinte equação,

$$\frac{V_{cont}}{\Delta\Phi}(s) = \frac{I_p}{2\pi C_1} \cdot \frac{1}{s}, \quad (2.16)$$

em que, V_{cont} é a tensão de controle do VCO, $\Delta\Phi$ é a diferença de fase e $I_p = I_1 = I_2$.

De equação (2.16), a função de transferência de malha fechada do PLL mostrado na Figura 2.11 pode ser expressa por,

$$H(s) = \frac{\frac{I_p}{2\pi C_1} \cdot \frac{1}{s} \cdot \frac{K_{VCO}}{s}}{1 + \frac{I_p}{2\pi C_1} \cdot \frac{1}{s} \cdot \frac{K_{VCO}}{s}} \quad (2.17)$$

$$= \frac{I_p K_{VCO}}{2\pi C_1 s^2 + I_p K_{VCO}}. \quad (2.18)$$

Esta topologia é vulgarmente denominada PLL do tipo II porque a função de transferência em malha aberta possui dois polos na origem (dois integradores ideais)[24], [25].

A equação (2.182-18) revela dois polos no eixo $j\omega$, indicando um sistema oscilatório. Uma malha com dois integradores ideais (sem perda) é de esperar instabilidade no sistema. Para tornar o sistema estável basta que um dos integradores seja não ideal. Para fazer um dos integradores não ideal será introduzido uma resistência em serie com o condensador C_1 como mostra a [Figura 2.12](#)Figura 2.12. O circuito resultante é designado “Bomba de carga PLL”, [24].

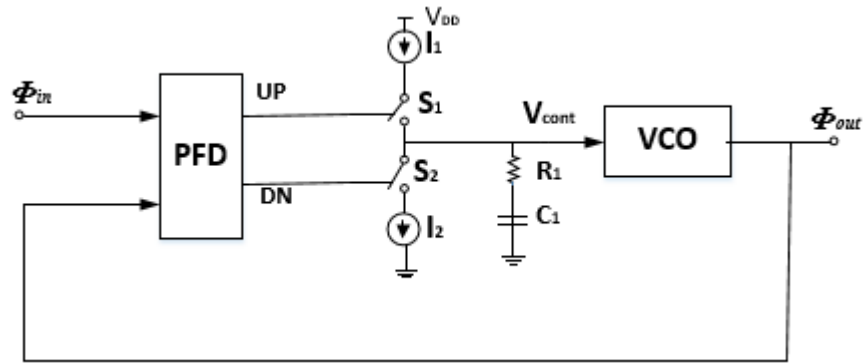


Figura 2.12 PLL com Bomba de carga.

Para o novo circuito de bomba de carga a equação (2.162-16) será dada por

$$\frac{V_{cont}}{\Delta\Phi}(s) = \frac{I_p}{2\pi} \left(\frac{1}{C_1 s} + R_1 \right) \quad (2.19)$$

De acordo com a equação (2.192-19) a função de transferência do PLL em malha fechada mostrada na [Figura 2.12](#)Figura 2.12 pode ser expressa como

$$H(s) = \frac{\frac{I_p K_{VCO}}{2\pi C_1} (R_1 C_1 s + 1)}{s^2 + \frac{I_p}{2\pi} K_{VCO} R_1 s + \frac{I_p}{2\pi C_1} K_{VCO}} \quad (2.20)$$

Escrevendo o denominador na forma $s^2 + 2\zeta\omega_n s + \omega_n^2$, obtem-se

$$\zeta = \frac{R_1}{2} \sqrt{\frac{I_p C_1 K_{VCO}}{2\pi}} \quad (2.21)$$

$$\omega_n = \sqrt{\frac{I_p K_{VCO}}{2\pi C_1}} \quad (2.22)$$

Quando C_1 aumenta (de modo a reduzir a ondulação na tensão de controle), o fator de amortecimento ζ , tem um comportamento contrario ao do observado no PLL do tipo I. Assim sendo, foi removido o *trade-off* entre a estabilidade e a ondulação de amplitude[24].

2.4. Divisor de Frequência (FD)

Os divisores de frequência (Frequency Dividers), são usados nos sistemas PLLs com intuito de se conseguir frequências mais baixas, pois os VCOs funcionam a frequências altas. Como o nome diz, um divisor de frequência é um dispositivo que divide a frequência ou por outro lado multiplica o período[5].

Em outras literaturas um divisor de frequência é conhecido como um contador. Um exemplo simples de divisor de frequência é um contador digital[1], [32].

Os contadores digitais são circuitos digitais que operam em dois níveis de tensão um nível baixo (0) e nível alto (1). Como VCO é um dispositivo analógico, a onda sinusoidal que entra no divisor de frequência precisa ser convertida em onda quadrada.

A função de transferência associado ao divisor de frequência é dada por:

$$F_{FD} = \frac{1}{N} \cdot F_{Vfb} \quad (2.23)$$

Onde N é um numero inteiro correspondente ao fator de divisão do divisor de frequência, F_{FD} corresponde a frequência a saída do divisor de frequência e F_{Vfb} corresponde a saída do VCO,[29].

2.5. Jitter em PLL

Os sinais a entrada e a saída de um PLL são frequentemente sinais binários, tal como muito dos sinais dentro de PLL. O ruído em sinais binários é caracterizado em termos de *Jitter*[27].

Jitter pode ser definido como perturbação indesejada durante um evento no tempo. Geralmente essas perturbações ocorrem nas transições dos sinais[13], [27], [29].

Como é mostrado na Figura 2.13, segundo a ITU, o jitter é definido como as variações de curto prazo dos instantes significativos em relação às suas posições ideais no tempo[27].

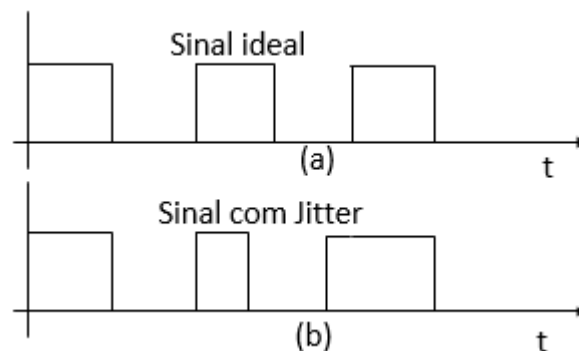


Figura 2.13- (a) Sinal ideal, (b) Sinal com jitter.

2.5.1. Classificação do *Jitter* quanto ao tipo e origem

Blocos como PFD, CP, e FD são dependentes da entrada, isto significa que uma transição nas suas saídas resulta diretamente de uma transição nas suas entradas. O *jitter* exibido por estes blocos é considerado como *synchronous jitter* e é definido como variação no atraso entre quando a entrada é recebida e a saída é produzida. Enquanto que bloco como VCO é autónomo ou independente, i.e., existe. ~~Produz~~ transição de saída sem o efeito de transição de entrada. O *jitter* produzido por este bloco é designado *acumulating jitter*[27].

O jitter pode ser classificado em duas categorias: (1) o de origem aleatória (*random jitter*) e a determinística (*deterministic jitter*)[19], [22], [27].

O jitter de origem determinística está associado a uma função de densidade de probabilidade não-Gaussiana e tem amplitude limitada. É caracterizada pelo seu valor pico-a-pico. As suas causas estão relacionadas com imperfeições no meio de transmissão, modulação de sinais, entre outras.

O jitter de origem aleatória não é limitado e tem como uma das suas causas o ruído térmico. Por este motivo, pode ser descrito por uma distribuição de probabilidade Gaussiana, pois uma das fontes desse tipo de ruído em circuitos elétricos tem distribuição Gaussiana[27], [33].

3. Modelação do PLL

3.1. Introdução

A linguagem de descrição de *hardware* seleccionada para o desenvolvimento dos modelos comportamentais do PLL é o *Verilog-A*. *Verilog-A* é uma HDL (linguagem de descrição de *hardware*) ~~utilizado~~utilizada para descrever circuitos e sistemas electrónicos,[34].

A descrição dos sistemas electrónicos pode ser feita em múltiplos níveis de abstracção:

- **Comportamental** – O nível comportamental descreve o comportamento do projeto sem implementação de qualquer arquitetura interna específica.
- **Funcional (RTL)** - descreve a arquitetura do projeto em detalhe suficiente para que uma ferramenta de síntese ~~pode~~possa construir o circuito.
- **Estrutural** – As ferramentas de síntese produzem uma descrição de projeto puramente estrutural. O nível de estrutura também é apropriado para pequenos componentes da biblioteca[34].

Neste capítulo, são descritos os modelos comportamentais da cada um dos blocos constituintes do PLL de tipo II.

3.2. Modelação dos blocos do PLL do Tipo II

3.2.1. Modelação do Detetor de fase/frequência

Como foi mencionado no capítulo 2, o bloco PFD tem função de transformar a diferença de fase/frequência das suas entradas, V_{ref} (tensão de referência) e V_{fb} (tensão de realimentação), em dois sinais de saída UP e DN , proporcionais a essa diferença. O bloco PFD foi desen-

volvido para implementar o modelo comportamental, que permite traduzir o comportamento referido em 2.3.1, está representado na listagem 3.1.

3.2.1.1. Descrição do bloco

A descrição deste bloco parte da implementação de dois *flip flops*, da porta AND e da realimentação existente entre eles. Este comportamento é obtido através da função *cross*, em relação ao limite de subida e descida das tensões em questão.

Listagem 3.1 – Código Verilog_A para modelar PFD ideal.

```
`include "constants.vams"
`include "disciplines.vams"
module PFD-IDEAL (Vref, Vfb, UP, DN);
inout Vref, Vfb, UP, DN;
electrical Vref, Vfb, UP, DN;
parameter real VDD=3.3,
ttol=10f,
ttime=0.2n;
integer state;
real td_up, td_down;

    analog begin
        @(cross(V(Vref)-VDD/2, 1, ttol)) begin
            state= state-1;
            if(V(UP)>VDD/2) td_up=480p; else td_up=1005p;
            if(V(DN)<VDD/2) td_down=480p; else td_down=1090p;
        end
        @(cross(V(Vfb)-VDD/2, 1, ttol)) begin
            state= state+1;
            if(V(UP)>VDD/2) td_up=480p; else td_up=1005p;
            if(V(DN)<VDD/2) td_down=480p; else td_down=1090p;
        end
        if(state>1) state=1;
        if(state<-1) state=-1;
        V(DN)<+transition((state==+1)? VDD:0.0, td_down, ttime);
        V(UP)<+transition((state== -1)? 0.0: VDD, td_up, ttime);
    end
endmodule
```

A variável inteira *state* define o estado em que se encontra o *PFD*. Como se pode verificar, a detecção da comutação nos sinais de entrada (*Vref*, *Vfb*) é feita através da função *cross*. Nas transições ascendentes do sinal de referência, o estado do PFD é decrementado de uma unidade. Nas transições ascendentes no sinal de realimentação, o estado do PFD é incrementado de uma unidade. O valor da variável *state* é posteriormente limitado a valores entre -1 e 1. No caso de o estado ser igual a 1, o sinal de saída *DN* é ativado, i.e., comuta para o valor VDD. No caso de o estado ser -1, o sinal de saída *UP* é ativado, comutando para o valor zero. As comutações nos sinais de saída são implementadas com a função *transition*.

Na Tabela 3.1 é apresentada uma síntese dos parâmetros utilizados na implementação do bloco PFD ideal.

Tabela 3.1 Descrição dos parâmetros utilizados na modelação do PFD ideal.

Parâmetro	Descrição	Tipo	Valor
ttol	Tempo de tolerância da função <i>transition</i>	-	10 fS
ttime	Tempo de transição da função <i>transition</i>	-	0.2 nS
state	Controlador de estado de transição	-	0 ou 1
td	Tempo de atraso de entrada para <i>UP</i>	-	0
VDD	Tensão VDD	-	3.3V

Para a modelação da existência de *jitter*, considera-se que ao atraso nas transições dos sinais de saída é adicionado o valor de uma variável com distribuição normal de valor médio nulo e desvio padrão unitário. Na listagem 3.2 é apresentado o código utilizado para modelar o bloco PFD com *jitter*.

Listagem 3.2 – Código Verilog_A para modelar PFD com jitter.

```

`include "constants.vams"
`include "disciplines.vams"
module PFD-IDEAL (Vref, Vfb, UP, DN);
inout Vref, Vfb, UP, DN;
electrical Vref, Vfb, UP, DN;
parameter real td=0 from [0:inf);
parameter real VDD=3.3,
ttol=10f,

```

```

ttime=0.2n;
integer state, seed;
real dt;
analog begin
  @(initial_step) seed=716;
  @(cross(V(Vref)-VDD/2, 1, ttol)) begin
    state= state-1;
    dt=jitter*$dist_normal (seed,0,1);
  end
  @(cross(V(Vfb)-VDD/2, 1, ttol)) begin
    state= state+1;
    dt=jitter*$dist_normal (seed,0,1);
  end
  if(state>1) state=1;
  if(state<-1) state=-1;
  V(DN)<+transition((state==+1)? VDD:0.0, dt+td, ttime);
  V(UP)<+transition((state==-1)? 0.0: VDD, dt+td, ttime);
end
endmodule

```

A Tabela 3.2 apresenta os parâmetros utilizados na implementação do bloco PFD com *Jitter*.

Tabela 3.2 Descrição dos parâmetros utilizados na modelação do PFD com jitter.

Parâmetro	Descrição	Tipo	valor
ttol	Tempo de tolerância da função <i>transition</i>	-	10 fS
ttime	Tempo de transição da função <i>transition</i>	-	0.2 nS
state	Controlador de estado de transição	-	0 ou 1
td	Tempo de atraso	-	[0: inf]
dt	Variável auxiliar somado ao tempo de atraso (td)	-	
jitter	<i>Jitter</i>	-	[0 : td/5]
seed	Variável escalar uti-	-	716

	lizado para inicializar a sequência de números		
VDD	Tensão VDD	-	3.3V

3.2.2. Charge Pump

O CP é o responsável por gerar pulsos de corrente proporcionais as saídas *UP* e *DN* do bloco PFD. Assim sendo, quando o sinal *UP* está ativo (*UP* é ativo *low*) a corrente *Iout* é negativa e quando o *DN* estiver ativo (*DN* é ativo *high*) a corrente *Iout* é positiva.

3.2.2.1. Modelo comportamental do Charge Pump

Para o bloco CP só faz sentido apresentar o modelo ideal dado que o *jitter* já foi introduzido no bloco PFD.

O código representado na listagem 3.3 apresenta o modelo comportamental do bloco CP ideal. O modelo considera dois sinais de entrada, *UP* e *DN*, e um sinal de saída que representa a corrente, *Iout*, que vai ser fornecida ao bloco seguinte, i.e., o filtro. O comportamento é obtido através de uso de operadores condicionais *if/else* para analisar todas as possibilidades de níveis de tensão dos sinais de entrada. Assim sendo, se a entrada *UP* for menor do que a tensão de *threshold* e a entrada *DN* também for menor do que a tensão de *threshold* a corrente na saída do CP é negativa. A situação contrária acontece quando a tensão de entrada *UP* for maior do que a tensão de *threshold* e a tensão entrada *DN* também for maior do que a tensão *threshold*, a corrente na saída do CP é positiva. Finalmente, nenhuma corrente é retirada ou injetada se nenhuma das condições se verificar.

Listagem 3.3 – Código Verilog_A para modelar CP ideal.

```
`include "constants.vams"
`include "disciplines.vams"
module CP-IDEAL (UP, DN, Iout);
  inout UP, DN;
  output Iout;
  electrical UP, DN, Iout;
  parameter real Ip=250u;
    real Ix; real thresh;
  analog begin
    thresh=0.9;
```

```

Ix=0.0;
if (V(UP)<thresh && V(DN)<thresh)
    Ix=-Ip; // current flowing in
else
    if (V(DN)>thresh && V(UP)>thresh)
        Ix=+Ip; // current flowing out
    I(Iout)<+Ix;
end
endmodule

```

Na Tabela 3.3 é feito um resumo de significado de cada um dos parâmetros utilizados na implementação do bloco CP.

Tabela 3.3 Descrição dos parâmetros utilizados na modelação do CP ideal.

Parâmetro	Descrição	Tipo	valor
UP	Tensão <i>UP</i> à entrada do CP	<i>input</i>	-
DN	Tensão <i>DN</i> à entrada do CP	<i>input</i>	-
Iout	Corrente à saída do CP	<i>output</i>	-
Ip	Corrente à saída do CP	-	250 μA
Ix	Corrente auxiliar	-	$\pm I_p$ ou 0
thresh	Tensão de <i>threshold</i>	-	0.9

3.2.3. Filtro Passa-Baixo

O filtro passa-baixo (LPF) tem por função converter os pulsos de corrente na sua entrada em níveis DC de tensão, enquanto efetua a filtragem.

3.2.3.1. Modelo comportamental do LPF

O filtro desenvolvido é um filtro passivo de primeira ordem, constituído por uma resistência em série com um condensador, sendo responsável por gerar o nível DC de entrada do VCO.

Como a análise é feita no tempo não será possível modelar o efeito do *jitter* no bloco LPF, assim sendo para este bloco é apenas apresentado o código (listagem 3.4) que modela o comportamento ideal.

Listagem 3.4 – Código Verilog_A para modelar LFP ideal.

```
`include "constants.vams"
`include "disciplines.vams"

module LPF-IDEAL (l);
  inout l;
  electrical l;
  parameter real res=100 from (0:inf);
  parameter real cap=0.398n;
  analog begin
    V(l)<+ I(l)*res + idt (I(l)/cap);
  end
endmodule
```

Na Tabela 3.4 são apresentados os parâmetros e as suas descrições do LPF.

Tabela 3.4 Descrição dos parâmetros utilizados na modelação do LPF.

Parâmetro	Descrição	Tipo	Valor
l	Nó 1 <i>branch</i> do filtro	<i>inout</i>	-
res	Resistência do filtro	-	100 Ω
cap	Condensador do filtro	-	0.398 nF

3.2.4. Oscilador Controlado por Tensão

O VCO é um oscilador controlado por tensão, que gera as saídas do PLL, este converte o nível DC de entrada gerado pelo filtro, em saídas analógicas diferenciais, em que a sua frequência é proporcional a tensão de entrada. A modelação deste bloco foi feita em *verilog-A* como é apresentado no código abaixo.

3.2.4.1. Modelo comportamental do VCO

Para o desenvolvimento do modelo comportamental do VCO, considera-se este bloco como um sistema que produz na saída um sinal periódico com frequência diretamente proporcional a magnitude de tensão DC de entrada. A frequência do sinal de saída varia entre um valor mínimo F_{min} , e um valor máximo, F_{max} , a que correspondem, respetivamente, tensões de controlo V_{min} , V_{max} .

Na listagem 3.5 é apresentado o código que implementa o modelo do VCO. De referir que para a descrição no domínio do tempo do oscilador, considera-se a utilização da função *coseno* em que a fase é obtida por integração do valor da frequência. Para tal, usa-se a função *idtmmod*, havendo a necessidade de garantir que o valor da fase deve variar entre zero e 2π radianos.

Listagem 3.5 – Código Verilog_A para modelar VCO ideal.

```
`include "constants.vams"
`include "disciplines.vams"
module VCO-IDEAL(in, out);
  inout in, out;
  electrical in, out;
  parameter real Vmin=0.6;
  parameter real Vmax=3.3;
  parameter real Fmin=1E6;
  parameter real Fmax=5E6;
  parameter real Ampl=1;
  real Freq, Phase;
  analog begin
    Freq=(V(in)-Vmin)*(Fmax-Fmin)/(Vmax-Vmin)+Fmin;
    if (Freq>Fmax) Freq=Fmax;
    if (Freq<Fmin) Freq=Fmin;
    // fase é integral da frequência modulo 2pi
    Phase=2*`M_PI*idtmmod (Freq,0.0,1.0,-1);
    V(out)<+ Ampl*cos(Phase);
    $bound_step(0.002/Freq);
  end
endmodule
```


Na Tabela 3.5 é apresentado um resumo e descrição dos parâmetros utilizados na implementação do VCO ideal.

Tabela 3.5 Descrição dos parâmetros utilizados na modelação do VCO ideal.

Parâmetro	Descrição	Tipo	Valor
in	Entrada do VCO (V(in) tensão do controlo)	<i>input</i>	-
out	Saída do VCO	<i>output</i>	-
Vmin	Tensão mínima do VCO	-	0.6 V
Vmax	Tensão máxima do VCO	-	3.3 V
Fmin	Frequência mínima do VCO	-	1 MHz
Fmax	Frequência máxima do VCO	-	5 MHz
Freq	Frequência do VCO	-	-
Phase	Fase do VCO	-	-
Ampl	Amplitude do VCO	-	1 V

Para implementar o modelo do VCO não ideal, considera-se o *jitter* como uma variação aleatória na frequência do VCO. No modelo implementado, o *jitter* é especificado como uma variação no período, pelo que é necessário relacionar a variação no período e a variação na frequência.

Como se ilustra na listagem 3.6 a função @cross é utilizado para determinar o instante exato que a fase cruza a zona de *threshold*, desta forma indicando o começo de um novo intervalo de integração. Neste exato momento, um novo numero aleatório é gerado.

Listagem 3.6 – Código Verilog_A para modelar VCO com jitter.

```
`include "constants.vams"
`include "disciplines.vams"
module VCO-Jitter (out, in);
input in; output out; electrical out, in;
parameter real Vmin=0;
```

```

parameter real Vmax=Vmin+1 from (Vmin:inf);
parameter real Fmin=1 from (0:inf);
parameter real Fmax=2*Fmin from (Fmin:inf);
parameter real Vlo=-1, Vhi=1;
parameter real tt=0.01/Fmax from (0:inf);
parameter real jitter=0 from [0:0.25/Fmax]; // period jitter
parameter real ttol=1u/Fmax from (0:1/Fmax);
real freq, phase, dt;
integer n, seed;
analog begin
@ (initial_step) seed = -561;
// Calcular a frequência a partir da tensão de entrada
freq = (V(in) - Vmin)*(Fmax - Fmin) / (Vmax - Vmin) + Fmin;
if (freq > Fmax) freq = Fmax;
if (freq < Fmin) freq = Fmin;
freq = freq/(1 + dt*freq);
phase = 2*`M_PI*idtmod(freq, 0.0, 1.0, -0.5);
@ (cross(phase + `M_PI/2, +1, ttol) or cross(phase - `M_PI/2, +1,
ttol)) begin
dT = 1.414*jitter*$rdist_normal(seed,0, 1);
n = (phase >= -`M_PI/2) && (phase < `M_PI/2);
end
V(out) <+ transition(n ? Vhi : Vlo, 0, tt);
end
endmodule

```

Tabela 3.6 é apresentado um resumo e descrição dos parâmetros utilizados na implementação do VCO com jitter.

Tabela 3.6 Descrição dos parâmetros utilizados na modelação do VCO com jitter.

Parâmetro	Descrição	Tipo	Valor
-----------	-----------	------	-------

in	Entrada do VCO (V(in) tensão do controlo)	<i>input</i>	-
out	Saída do VCO	<i>output</i>	-
Vmin	Tensão mínima do VCO	-	0.6 V
Vmax	Tensão máxima do VCO	-	3.3 V
Fmin	Frequência mínima do VCO	-	1 MHz
Fmax	Frequência máxima do VCO	-	5 MHz
Freq	Frequência do VCO	-	-
Phase	Fase do VCO	-	-
Ampl	Amplitude do VCO	-	1 V
n	Variável auxiliar (contador)	-	-
dt	Variável auxiliar somado ao tempo de atraso (td)	-	-
jitter	<i>Jitter</i>	-	[0 : 0.25/Fmax]
seed	Variável escalar utilizado para inicializar a sequência de números	-	-561

3.2.5. FD Divisor de Frequência

Como mencionado no capítulo 2, a função do bloco FD é dividir a frequência de um sinal genérico de entrada. Num sistema PLL, o FD fica entre o VCO e o PFD, e tem objetivo de dividir a frequência do sinal a saída do VCO e ter um sinal quadrado para depois este mesmo sinal ser comparado com o sinal de referência a entrada do PFD.

3.2.5.1. Modelo comportamental do FD

O modelo implementado para o FD encontra-se representado na listagem 3.7, e tem por base a contagem do número de transições de no sinal de entrada. A função *cross* é invocada quando o primeiro argumento for igual a zero na direção especificada pelo o segundo argumento. Assim sendo, o bloco @ é invocada quando a entrada cruza o limite na direção especificada pelo utilizador. O corpo do bloco @ incrementa o contador, redefine para zero quando o *ratio* é

alcançado, depois verifica se o contador está acima ou abaixo do seu ponto médio (n é zero se o *count* está abaixo do ponto médio). O valor da operação $?$: é *vh* se n for igual a 1 e *vl* se n for igual a 0. Finalmente, a função *transition* adiciona um tempo de transição finito de *tt* e com um atraso de *td*.

O bloco possui dois parâmetros, *in* e *out*, em que o *in* é o sinal sinusoidal proveniente do VCO e *out* é um sinal quadrado à saída do FD com frequência metade da frequência do sinal de entrada.

O código apresentado na listagem 3.7 é responsável pela modelação do bloco FD ideal.

Listagem 3.7 – Código Verilog_A para modelar FD ideal.

```
`include "constants.vams"
`include "disciplines.vams"

module FD-IDEAL(in, out);

output out; voltage out;          // saída
input in; voltage in;             // entrada
parameter real vh=+1;             // tensão de saída em estado high
parameter real vl=-1;             // tensão de saída em estado low
parameter real vth=(vh+vl)/2;     // tensão de threshold na entrada
parameter integer ratio=2 from [2:inf); // divide ratio
parameter integer dir=1 from [-1:1] exclude 0;
                                // dir=1 para edge trigger positivo
                                // dir=-1 para edge trigger negativo
parameter real tt=1n from(0:inf); //tempo transição de sinal de saída
parameter real td=0 from[0:inf); // tempo de atraso
integer count, n;

analog begin
    @(cross(V(in) - vth, dir)) begin
        count = count + 1; // Contador de transição de entrada
        if (count >= ratio)
            count = 0;
        n = (2*count >= ratio);
    end
    V(out) <+ transition (n ? vh : vl, td, tt);
end
endmodule
```

Bloco de Código 3.1 - Código utilizado para a modelação do FD.

Na Tabela 3.7, são apresentados os parâmetros e as suas descrições, do bloco FD.

Tabela 3.7 Descrição dos parâmetros utilizados na modelação do FD ideal.

Parâmetro	Descrição	Tipo	Valor
in	Entrada do FD	<i>input</i>	-
out	Saída do FD	<i>output</i>	-
count	Contador de transição de estado	-	-
n	Variável auxiliar	-	0 ou 1
td	Tempo de atraso	-	[0: inf]

Listagem 3.8 – Código Verilog_A para modelar FD com jitter.

```

`include "constants.vams"
`include "disciplines.vams"

module FD-Jitter (out, in);

output out; voltage out;          // saída
input in; voltage in;             // entrada
parameter real vh=+1;             // tensão de saída em estado high
parameter real vl=-1;             // tensão de saída em estado low
parameter real vth=(vh+vl)/2;     // tensão de threshold na entrada
parameter integer ratio=2 from [2:inf]; // divide ratio
parameter integer dir=1 from [-1:1] exclude 0; // dir=1 para edge trigger positivo
                                           // dir=-1 para edge trigger negativo

parameter real tt=1n from(0:inf); //tempo transição de sinal de saída
parameter real td=0 from[0:inf]; // tempo de atraso
parameter real jitter=0 from [0:td/5]; // jitter
integer count, n, seed;

analog begin
    @(initial_step) seed = -311;
    @(cross(V(in) - vth, dir)) begin
        count = count + 1; // Contador de transição de entrada
        if (count >= ratio)
            count = 0;
        n = (2*count >= ratio);
        dt = jitter*$rdist_normal(seed,0,1); // adicionar jitter
    end
    V(out) <+ transition (n ? vh : vl, td+td, tt);
end
endmodule

```

Na Tabela 3.8 é apresentado um resumo e descrição dos parâmetros utilizados na implementação do FD com jitter.

Tabela 3.8 Descrição dos parâmetros utilizados na modelação do FD com jitter.

Parâmetro	Descrição	Tipo	Valor
in	Entrada do FD	<i>input</i>	-
out	Saída do FD	<i>output</i>	-
count	Contador de transição de estado	-	-
jitter	Jitter	-	[0 : td/5]
n	Variável auxiliar	-	0 ou 1
seed	Variável escalar utilizado para inicializar a sequência de números	-	-311
td	Tempo de atraso	-	[0: inf]
dt	Variável auxiliar somado ao tempo de atraso (td)	-	-

4. Validação dos resultados

4.1. Introdução

Neste capítulo é feita a validação dos modelos descritos no capítulo 3. Para cada bloco do PLL são apresentadas as condições de teste, sendo demonstrada a validade dos resultados obtidos, quer para o caso ideal, quer para o caso em que se considera a existência de Jitter. Uma vez validados os modelos de cada bloco, são apresentados os resultados da simulação comportamental do PLL, usando os modelos de blocos desenvolvidos.

4.2. Validação do Modelo do Detetor de fase/frequência

Na Figura 4.1 é mostrado o esquema utilizado para testar o modelo comportamental do PFD ideal. Para a simulação do PFD ideal foram utilizadas duas fontes de tensão ideais, em que a fonte V_{fb} representa a tensão de *feedback* (realimentação) e a fonte V_{ref} representa a tensão de referência. Para além das duas entradas, este possui também duas saídas UP e DN . Quando $\omega_{V_{fb}} < \omega_{V_{ref}}$ (frequência da tensão de *feedback* menor do que a frequência da tensão de referência) a saída UP fica ativa (UP é ativo 0) e a saída DN permanece zero. Inversamente, quando a $\omega_{V_{fb}} > \omega_{V_{ref}}$ a saída DN fica ativa (DN ativo a V_{DD}) enquanto, a saída UP permanece desativo (fica igual a $V_{DD}=3.3$). Finalmente, se ambas as tensões de entrada tiverem as mesmas frequências ($\omega_{V_{fb}} = \omega_{V_{ref}}$), o circuito produzirá um pulso em UP ou em DN com a largura igual à diferença de fase entre as duas tensões de entrada.

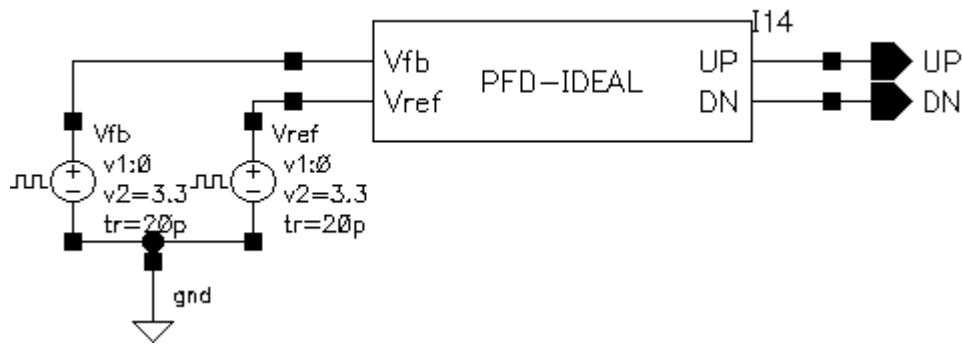


Figura 4.1 Esquema de simulação Elétrica do PFD.

Na Figura 4.2 é mostrado o resultado da simulação do bloco PFD, em que a frequência de tensão de referência é maior do que a frequência de tensão de *feedback* ($F_{Vfb} = 2\text{ MHz}$ e $F_{Vref} = 3\text{ MHz}$). De acordo com a legenda da figura 4.2 as duas primeiras ondas contando de cima para baixo representam as tensões de *feedback* e de referência respectivamente, e as duas últimas ondas representam as saídas *DN* e *UP* respectivamente.

Analisando a Figura 4.2 é de notar que a frequência de tensão de realimentação é menor do que a frequência de tensão de referência, assim sendo a saída *UP* fica ativa enquanto, a saída *DN* permanece 0.

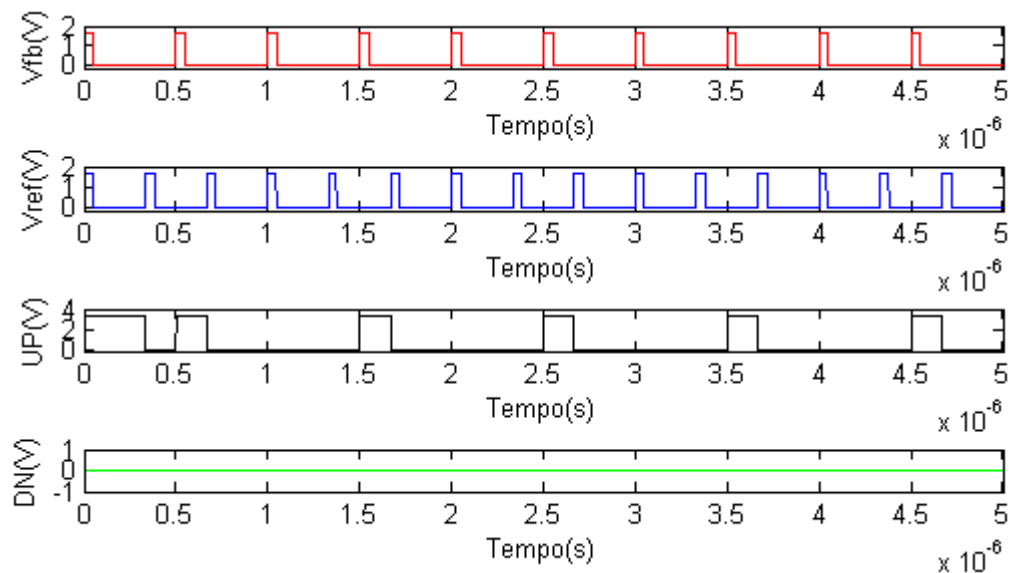


Figura 4.2 Resposta do PFD com $\omega_{Vfb} < \omega_{Vref}$.

Na Figura 4.3 é mostrado a situação contrária da figura 4.2. Neste caso a frequência de tensão de *feedback* é maior do que a frequência de tensão de referência ($F_{Vfb} = 3\text{ MHz}$ e $F = 2\text{ MHz}$), assim sendo a saída *UP* fica inativo (fica igual a $V_{DD}=3.3$) e a saída *DN* fica ativa.

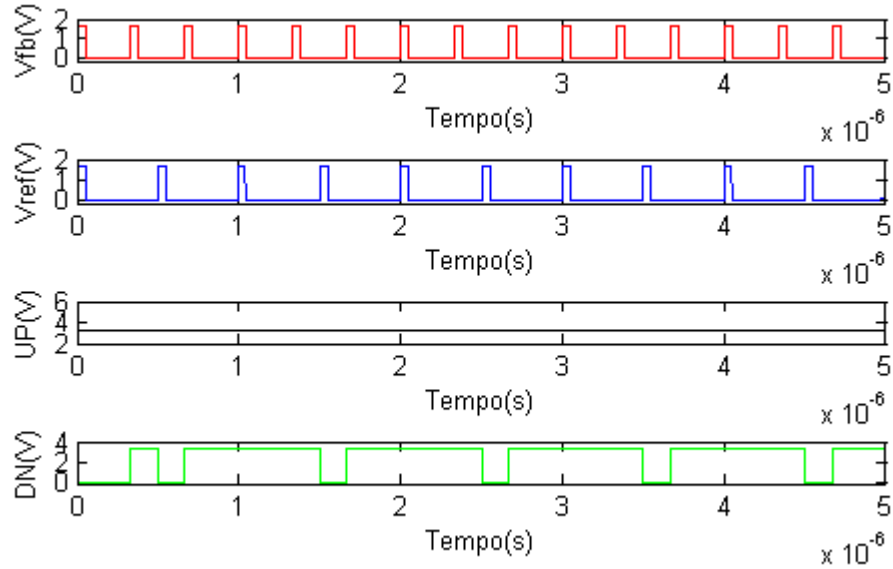


Figura 4.3 Resposta do PFD com $\omega_{Vfb} > \omega_{Vref}$.

Finalmente, o ultimo caso mostrado na Figura 4.4, em que as duas tensões de entrada têm a mesma frequência, mas o sinal de referência está em atraso relativamente o sinal de realimentação ($F_{Vref} = F_{Vfb} = 3\text{ MHz}$, $\phi_{Vfb} = 0\text{ ns}$ e $\phi_{Vref} = 25\text{ ns}$). Assim sendo, a saída *DN* permanece a zero e a saída *UP* fica ativa e igual a diferença de fase entre as duas tensões de entrada.

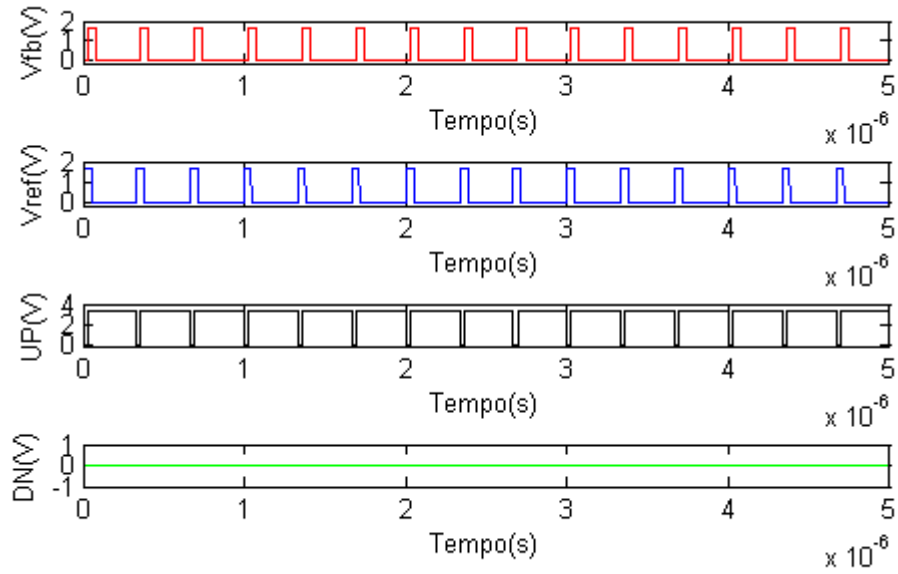


Figura 4.4 Resposta do PFD com $\omega_{vfb} = \omega_{vref}$ e $\phi_{vfb} \neq \phi_{vref}$.

4.3. Charge Pump

Na Figura 4.5 tem-se um bloco CP ideal com duas entradas *UP* e *DN*, e uma saída *Saída-CP*. As entradas *UP* e *DN* são sinais provenientes do PFD. Para os efeitos da simulação do bloco CP, foram usadas duas fontes de tensão *UP* e *DN*.

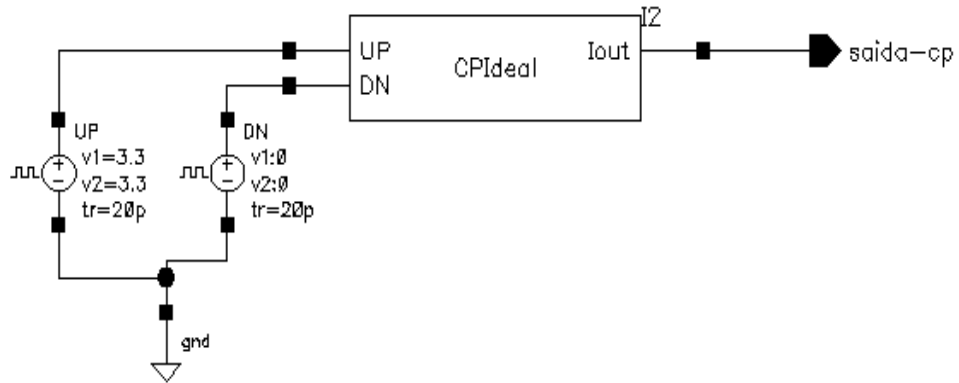


Figura 4.5 Esquema de simulação elétrica do bloco CP.

Como mencionado anteriormente, o CP é um comutador eletrônico que é responsável por fornecer uma carga proporcional a diferença de fase/frequência do sinal e *UP* e *DN* proveniente do PFD. Além disso, o CP é também conhecido como um dispositivo que funciona em três diferentes estados, que entrega uma bomba de tensão ou uma bomba de corrente ao filtro. Essas bombas de tensões e correntes podem ser positivos ou negativos dependendo do sinal *UP* e *DN*.

Na Figura 4.6 é apresentado o resultado da simulação do bloco CP, em que, a entrada *UP* é ativada e a *DN* é desativada. Como se pode ver, a figura apresenta 3 sinais, em que, o primeiro sinal contando de cima para baixo representa a tensão *UP*. O segundo sinal representa a tensão *DN*. Finalmente o terceiro e ultimo sinal representa a saída do CP. Observando a figura 4.6 é de notar que a saída do CP (“Saída-CP”), é positiva no instante em que a entrada *UP* é ativada.

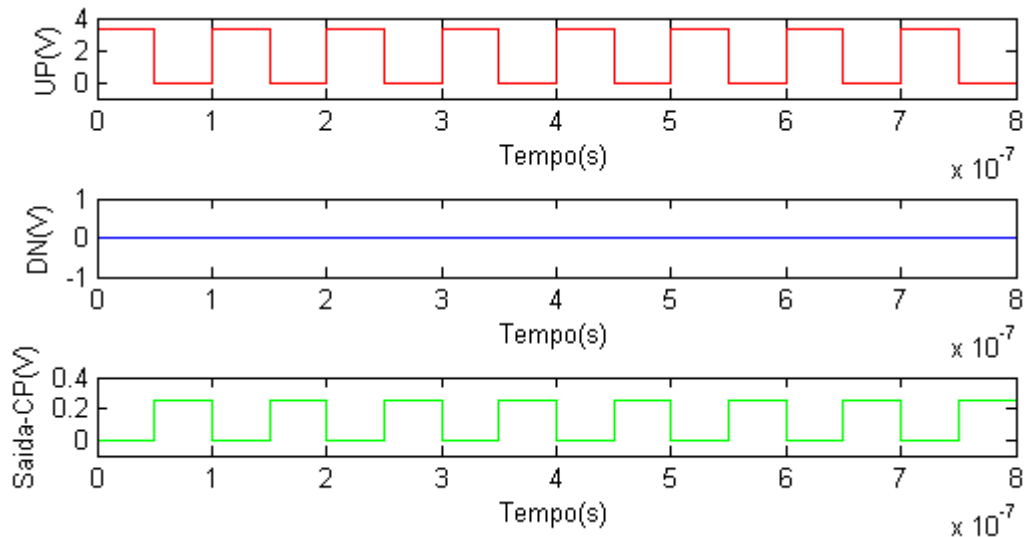


Figura 4.6 Resposta do CP quando UP está ativo e DN desativo.

De acordo com princípio de funcionamento do CP, o circuito deverá fornecer uma corrente positiva quando o sinal *UP* estiver ativo (*UP* estiver a 0) e uma corrente negativa quando o *DN* estiver ativo(*DN* estiver a 1). Um outro caso que também pode acontecer, é quando os dois sinais (*UP* e *DN*) estiverem ativos, desta forma o CP não terá nenhum contributo para a corrente, ou seja, o valor da corrente será 0.

Contrariamente ao resultado apresentado na Figura 4.6, a Figura 4.7 apresenta o resultado da simulação do CP em que a entrada *UP* é desativada e a *DN* é ativada. Desta forma, o último sinal da Figura 4.7 é negativo dado que o sinal *DN* é ativada.

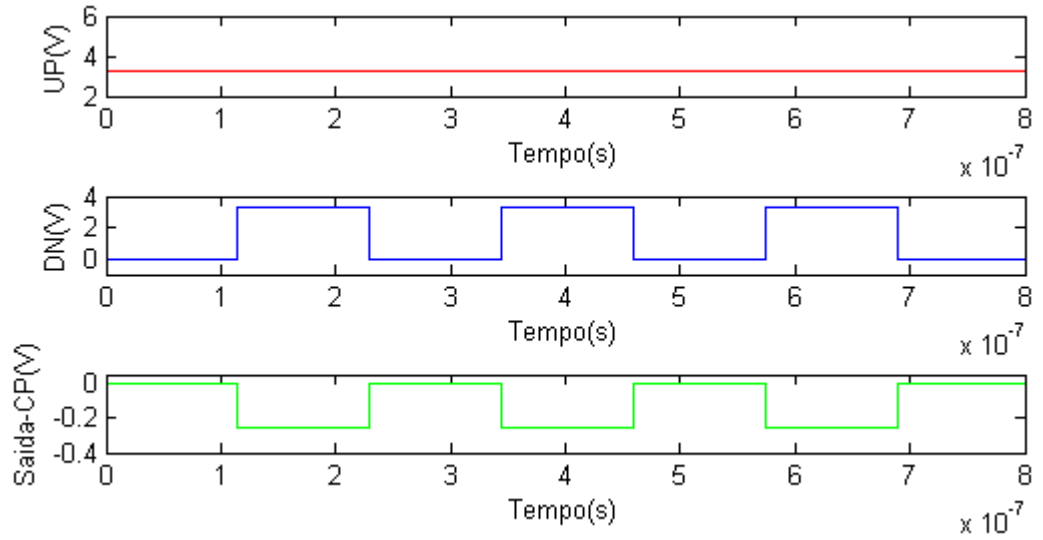


Figura 4.7 Resposta do CP quando DN está ativo e UP desativo.

Na Figura 4.8 é mostrado o ultimo caso da simulação do bloco CP, em que, tanto o sinal *UP* como o *DN* estão desativados ($\omega_{vfb} = \omega_{vref}$ e $\phi_{vfb} = \phi_{vref}$). Como explicado anteriormente para esta situação o bloco CP não terá nenhum contributo para o valor da corrente ou de tensão.

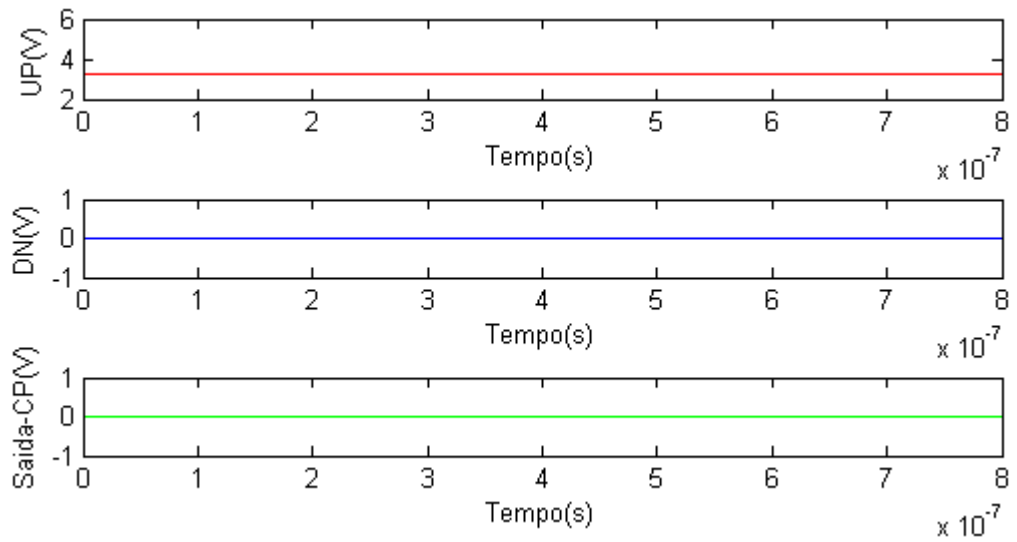


Figura 4.8 Resposta do CP quando UP e DN estão desativos.

4.4. Filtro Passa-Baixo

Na Figura 4.9 é mostrado o circuito de simulação “elétrica” do LPF. O circuito é composto por uma fonte de corrente, AC com amplitude de 1 A, e o bloco LPF. O bloco LPF é composto por uma resistência em série com um condensador.

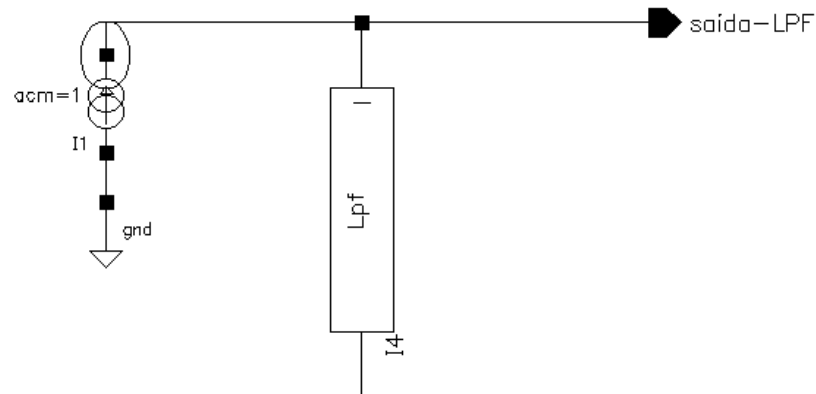


Figura 4.9 Esquema de simulação elétrica do LPF.

Na Figura 4.10 é apresentado o resultado da simulação do LPF.

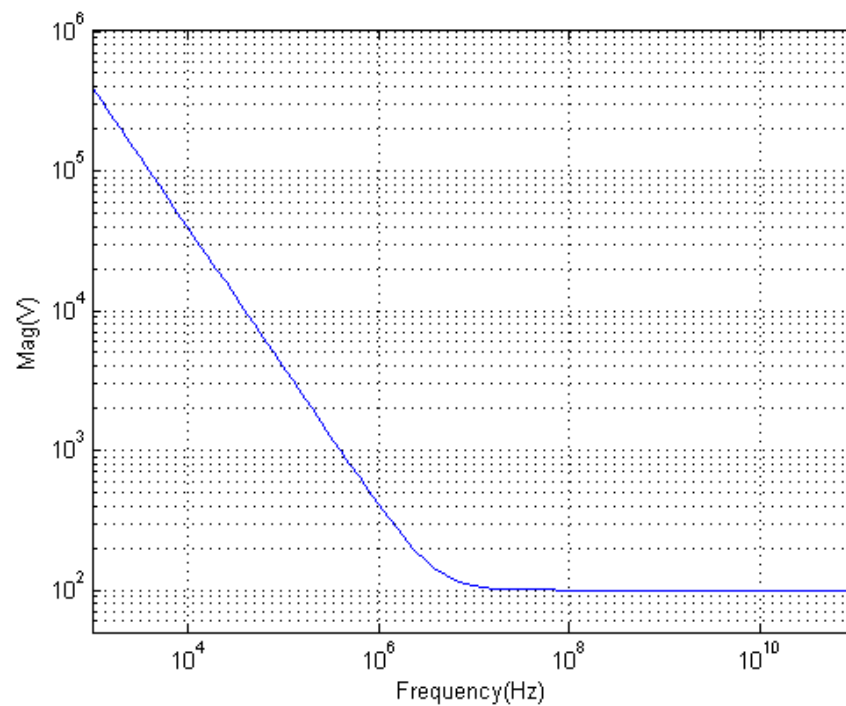


Figura 4.10 Resultado de simulação do LPF.

4.5. Oscilador Controlado por Tensão

Na Figura 4.11 é apresentado o esquema de simulação do VCO. Para o efeito de simulação foi utilizada uma fonte de tensão na entrada do circuito. O comportamento da fonte de tensão a entrada do VCO é apresentado no primeiro gráfico (contando de cima para baixo) gráfico da Figura 4.12.

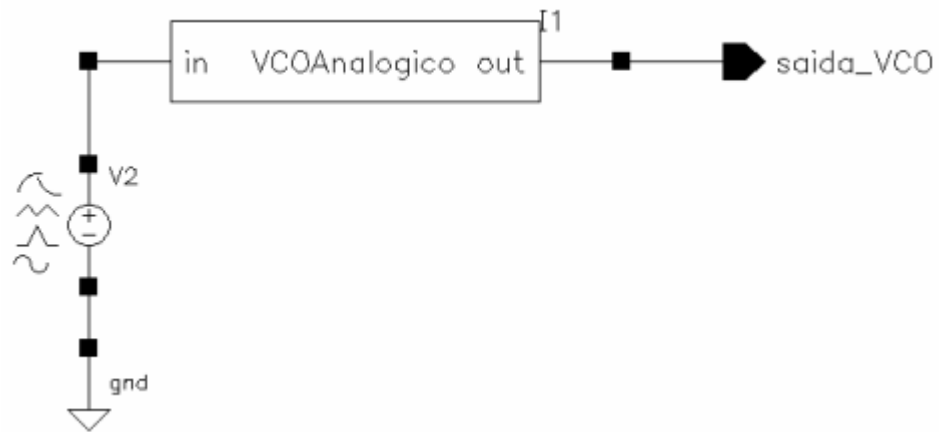


Figura 4.11 Esquema de simulação elétrica do VCO.

Na Figura 4.12 é mostrado o resultado de simulação do bloco VCO. Como anunciado anteriormente o primeiro gráfico representa a tensão de entrada, em que, o valor da tensão é aumentado 200 mV em cada $0.5\mu\text{s}$. E no segundo gráfico (saída-VCO (V) em função do Tempo (s)) é apresentado o comportamento do VCO. Como se pode observar nos intervalos de tempo em que o valor da tensão é superior, o sinal varia mais rapidamente, ou seja, o sinal varia com uma frequência superior. Desta forma, pode-se ver que a frequência de oscilação do VCO é aumentada pela tensão de entrada, ou seja, quanto maior for o valor de tensão de entrada maior será a frequência de oscilação.

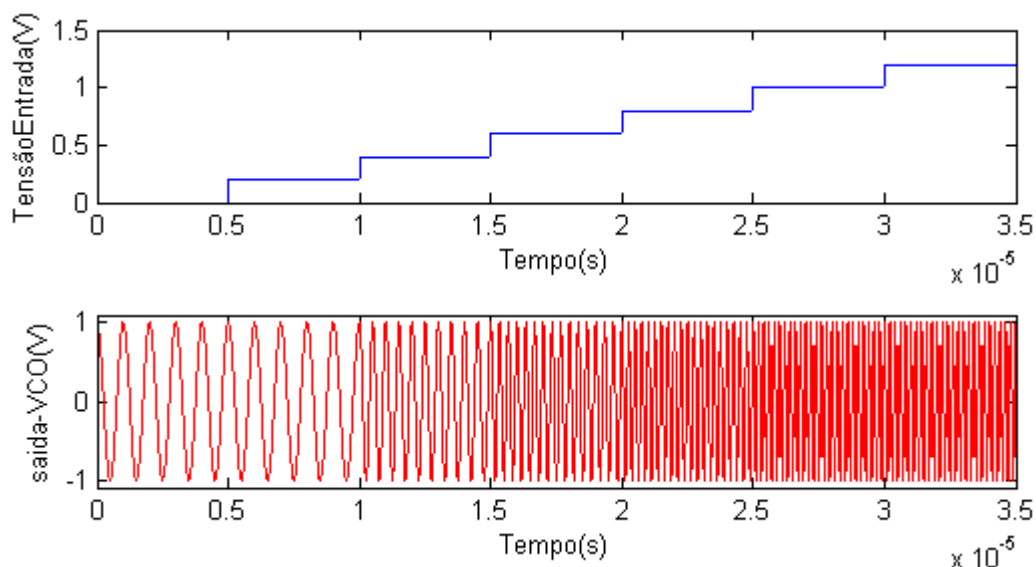


Figura 4.12 Resultado de simulação do VCO.

4.6. FD Divisor de Frequência

De acordo com o objetivo deste projeto, a função do bloco FD é dividir (por 2) a frequência do VCO por um numero inteiro (por 2) e também ter na saída uma onda quadrada (ao invés de sinusoidal) para poder ser comparado com sinal de referência a entrada do bloco PFD.

Na Figura 4.13 é apresentado o esquema de simulação do bloco FD. Para o efeito de simulação foi utilizada uma fonte de tensão ideal a entrada do bloco FD. O bloco FD possui dois parâmetros “in” e “out” e representam os sinais de entrada e de saída, respetivamente.

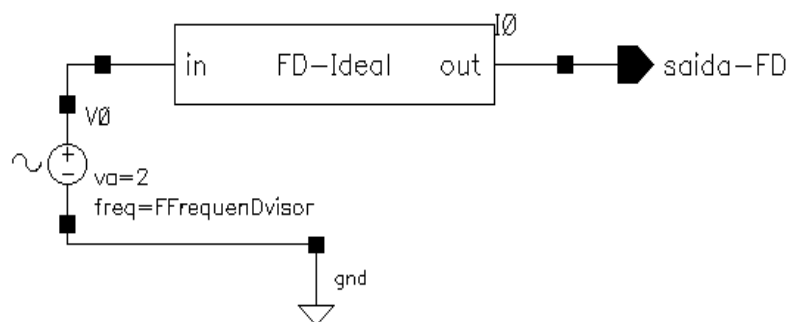


Figura 4.13 Esquema de simulação elétrica do FD.

Na Figura 4.14 é mostrado o resultado de simulação do bloco FD. A primeira onda de cima para baixo representa a tensão de entrada. Como se pode observar é uma onda sinusoidal com uma frequência de 2 MHz.

O comportamento do bloco FD é apresentado na segunda onda. Como se pode observar é uma onda quadrada com uma frequência de 1 MHz.

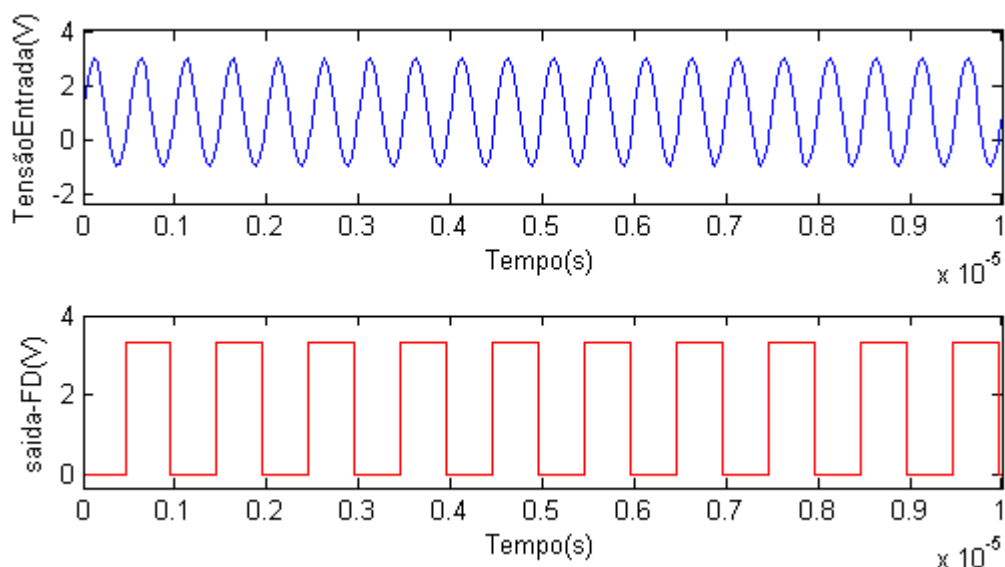


Figura 4.14 Resultado de simulação do FD.

4.7. PLL

Como descrito no capítulo 2, a função do PLL é sincronizar a fase/frequência do sinal de referência com a do sinal de realimentação. Esta sincronização é obtida ajuntando os 5 blocos como é mostrado na Figura 4.15.

Na Figura 4.15 é apresentado o esquema de simulação elétrica do PLL ideal. Para o efeito de simulação do sistema PLL, foram ajuntados os 5 blocos que já foram testados individualmente mais uma fonte de tensão ideal que representa a tensão de referência.

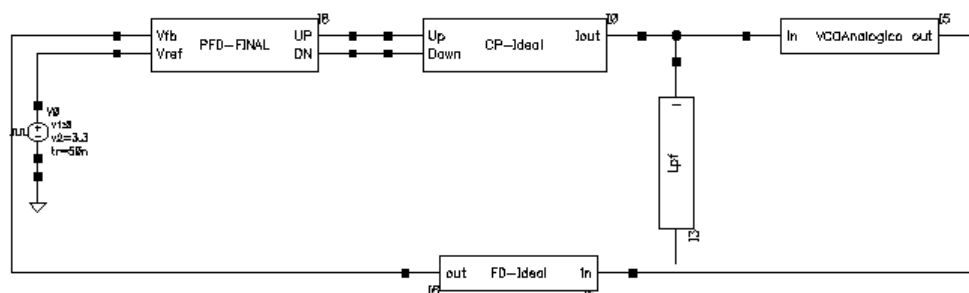


Figura 4.15- Esquema de simulação elétrica do PLL.

Na Figura 4.16 é apresentado o resultado da simulação elétrica do PLL ideal. A Figura 4.16 (a), representa a variação de tensão à saída do FD em função do tempo. O sinal apresentado na alinea (b), representa a variação de tensão de referência em função do tempo,

com uma frequência constante de 1.5 MHz . Como a frequência de sinal à saída do VCO é inicialmente 1 MHz , o sinal a saída do FD para o mesmo instante do tempo tem uma frequência de 0.5 MHz , dado que o bloco FD divide a frequência do VCO por 2. Assim sendo, a frequência de tensão de realimentação é menor do que a do sinal de referência, consequentemente o sinal *UP* fica ativo enquanto o *DN* permanece desativo. Como o sinal *UP* está ativo a tensão a saída do filtro (tensão do controle do VCO, ver a Figura 4.16 (e)) aumenta com o objetivo de aumentar a frequência do VCO até 1.5 MHz .

Observando o grafico (e) da Figura 4.16, a partir de $4 \times 10^{-5}\text{ s}$, pode observar-se que tensão à saída do LPF não varia, ou seja, o valor da tensão do controle mantém-se constante o que significa que os dois sinais de entrada já estão sincronizados, ou seja, $F_{Vfb} = 1.5\text{ MHz}$ e $F_{Vref} = 1.5\text{ MHz}$.

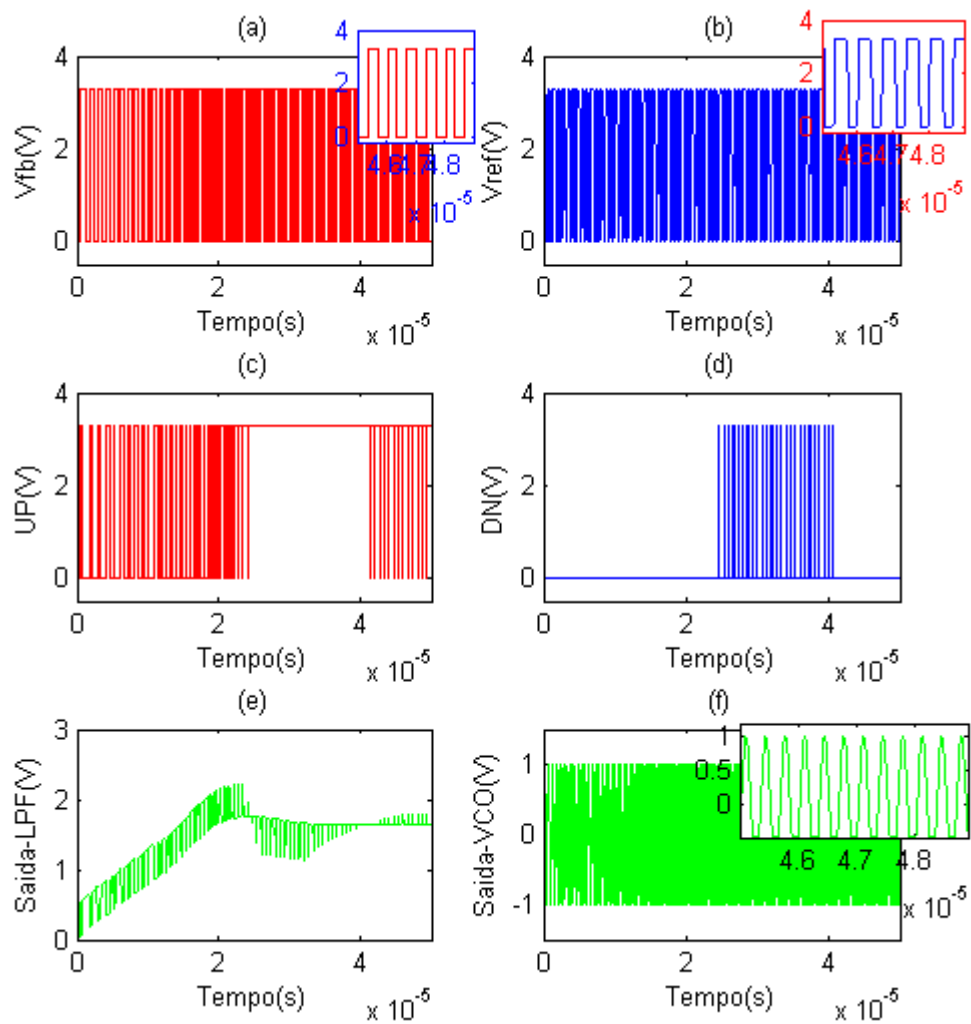


Figura 4.16 - Resultado de simulação elétrica do PLL.

4.8. PLL não ideal

4.8.1. Detetor de fase/frequência não ideal

Na Figura 4.17 é mostrado o esquema de simulação elétrica do bloco PFD não ideal. O princípio de funcionamento do PFD com *jitter* é o mesmo do que sem *jitter*.

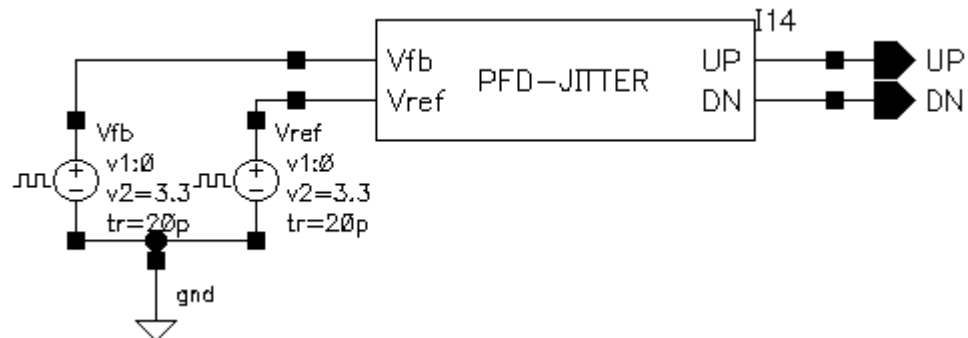


Figura 4.17 Esquema de simulação elétrica do bloco PFD não ideal.

Para analisar o comportamento do *jitter* no bloco PFD, foi feita uma análise paramétrica, em que a variável *jitter* (Listagem 3.2) varia de $1.5 \cdot 10^{-8}$ num intervalo de $[0; 3.5 \cdot 10^{-8}]$.

Na figura 4.2 é apresentado o resultado da simulação do bloco PFD não ideal, em que $\omega_{Vfb} < \omega_{Vref}$ ($F_{Vfb} = 2 \text{ MHz}$ e $F_{Vref} = 3 \text{ MHz}$). Tal como no bloco PFD ideal, a saída UP fica ativa enquanto a DN permanece a zero. Através do sinal UP, pode verificar-se o efeito do *jitter* em mudar o atraso para diferentes valores da variável *jitter*.

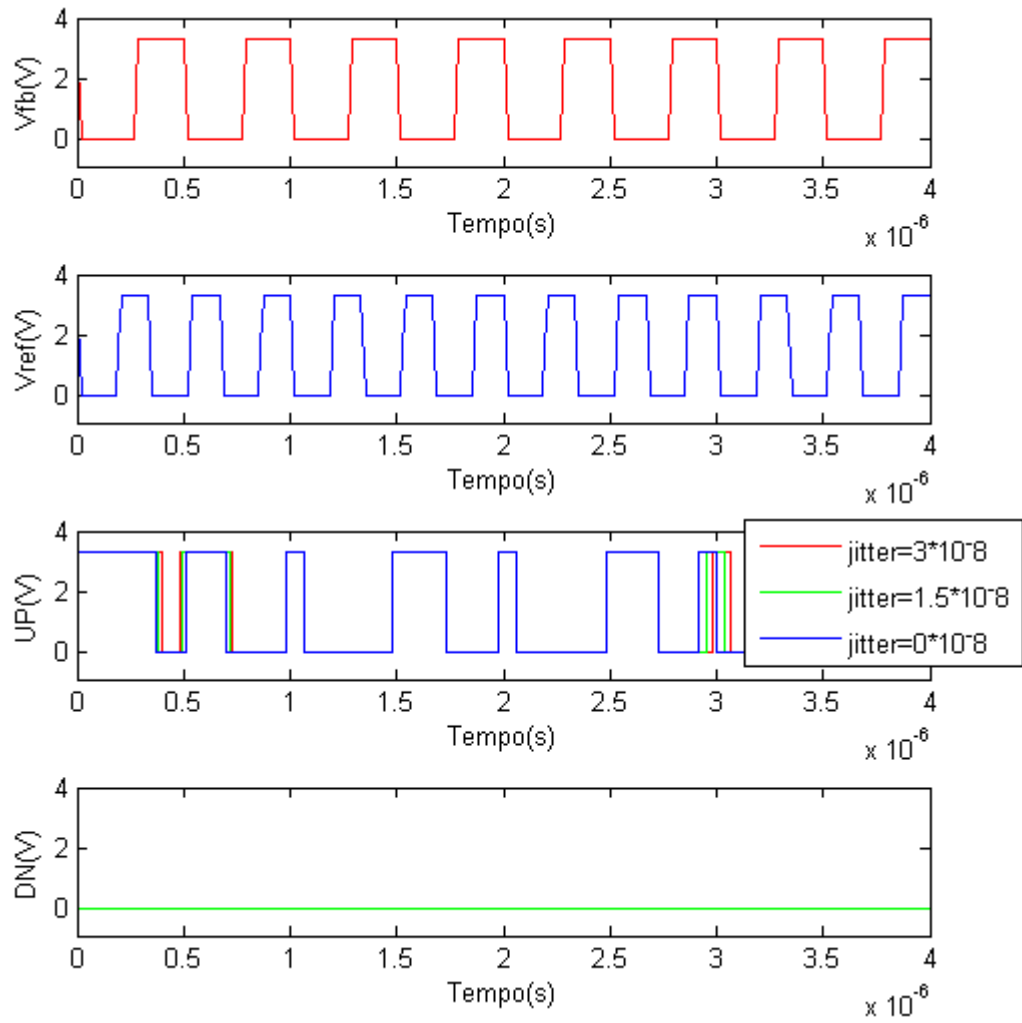


Figura 4.18 Resposta do PFD não ideal $\omega_{Vfb} < \omega_{Vref}$.

Na Figura 4.19 é apresentado a situação contrária, em que $\omega_{Vfb} > \omega_{Vref}$ ($F_{Vfb} = 3MHz$ e $F_{Vref} = 2MHz$). O sinal DN fica ativo enquanto o UP permanece desativo. O efeito

do *jitter* pode ser verificado no atraso do sinal DN, ao mudar a variável jitter para diferentes valores.

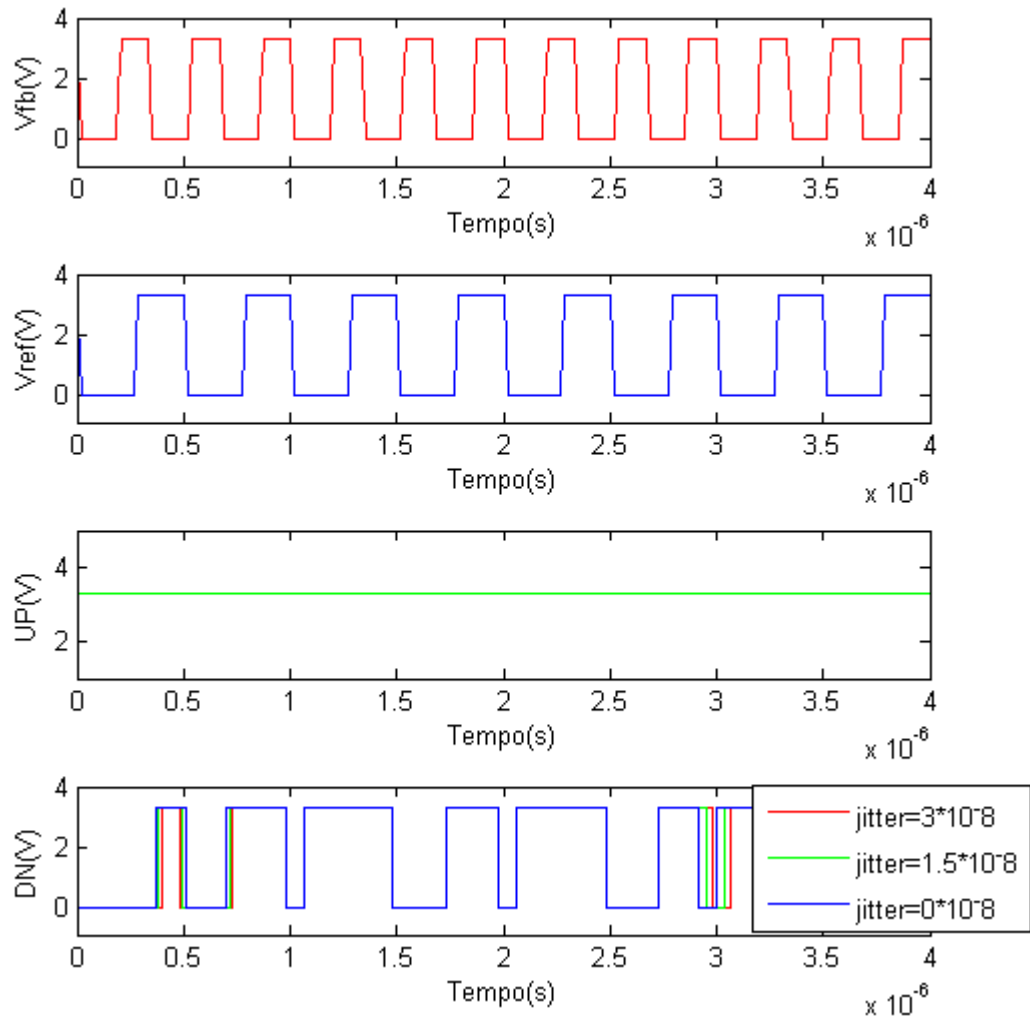


Figura 4.19 Resposta do PFD não ideal com $\omega_{vfb} > \omega_{vref}$.

4.8.2. Oscilador Controlador por Tensão não ideal

Na Figura 4.20 é apresentado o esquema de simulação elétrica do bloco VCO não ideal. Para os efeitos de simulação também foi feita uma análise paramétrica, em que a variável jitter (Listagem 3.6) varia de 1.5×10^{-8} num intervalo de $[0; 3.5 \times 10^{-8}]$.

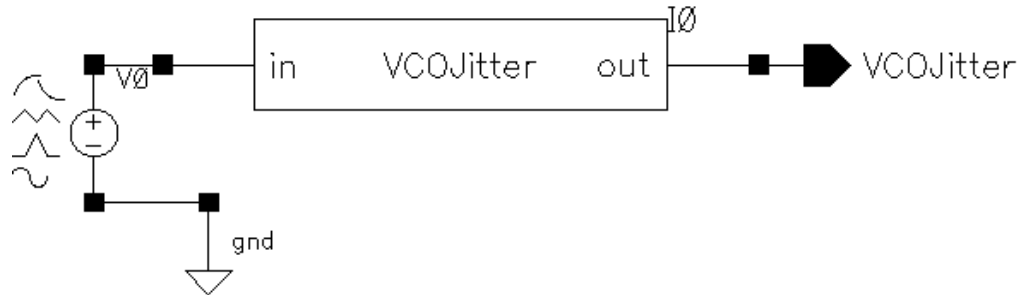


Figura 4.20 Esquema de simulação elétrica do bloco VCO não ideal.

O comportamento do VCO é mostrado quando a tensão de sinal de entrada aumenta a frequência de oscilação do VCO também aumenta, como mostra a Figura 4.21.

O efeito do *jitter* é notado no sinal de saída, em que para diferente valor de variavel jitter (Listagem 3.6) o atraso é diferente.

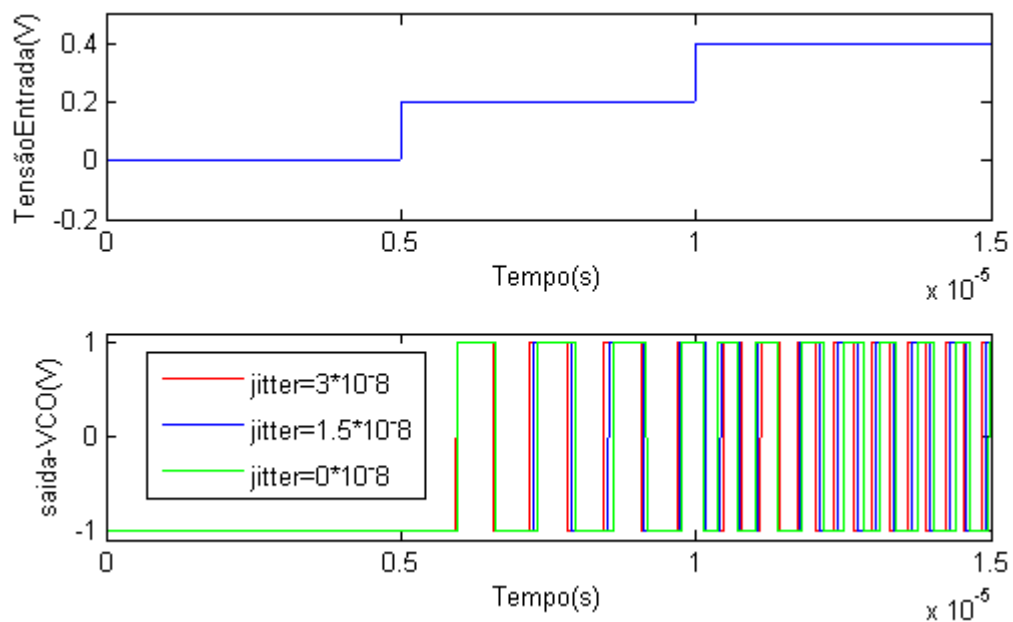


Figura 4.21 Resultado de simulação do bloco VCO não ideal.

4.8.3. Divisor de Frequência não ideal

Na Figura 4.22 é mostrado o esquema de simulação elétrica do bloco FD não ideal. Para os efeitos da simulação do bloco FD não ideal, foi utilizada uma fonte de tensão ideal com uma frequência de 1 MHz.

Para analisar o comportamento do *jitter*, foi feita uma análise paramétrica, em que a variável jitter (Listagem 3.6) varia de 1.5×10^{-8} num intervalo de $[0; 3.5 \times 10^{-8}]$.

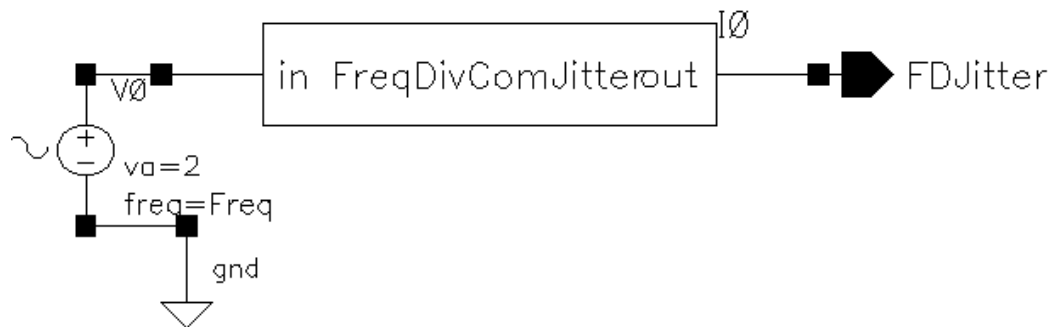


Figura 4.22 Esquema de simulação elétrica do bloco FD não ideal.

O comportamento do FD não ideal é mostrado na Figura 4.23, em que a frequência do sinal de entrada é 1 MHz enquanto a do sinal de saída é 0.5 MHz. O efeito do *jitter* pode ser apresentado no sinal de saída, em que para diferentes valores de jitter (Listagem 3.8) o *delay* do sinal de saída é diferente.

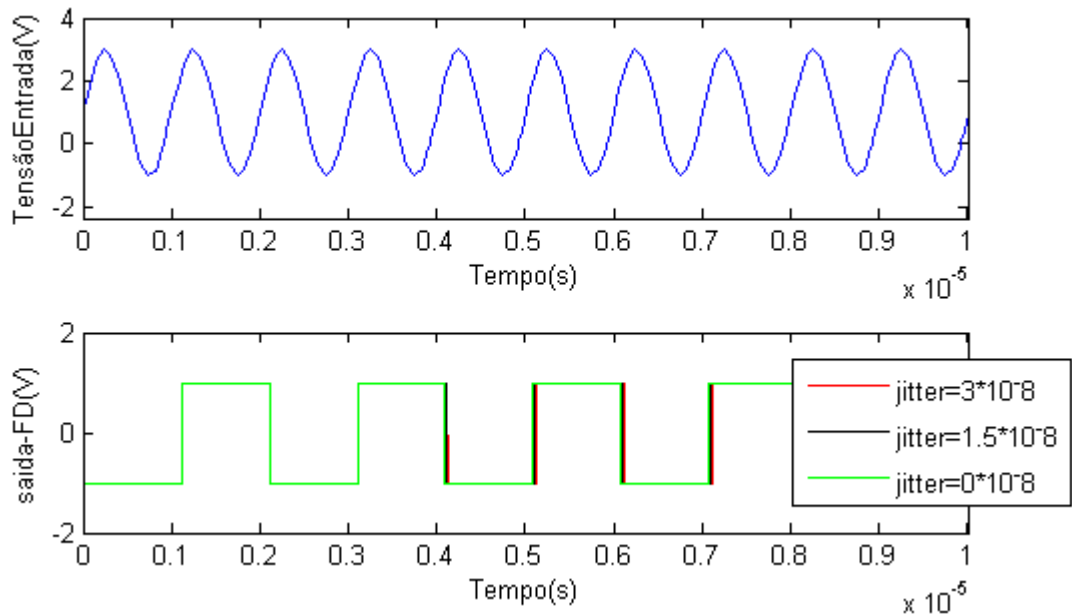


Figura 4.23 Resultados de simulação do bloco FD não ideal.

4.8.4. PLL não ideal

Na Figura 4.24 é apresentado o esquema de simulação de um PLL não ideal. O sistema completo é constituído por 5 blocos, em que CP e LPF são ideais e PFD, VCO e FD apresentam *jitter*.

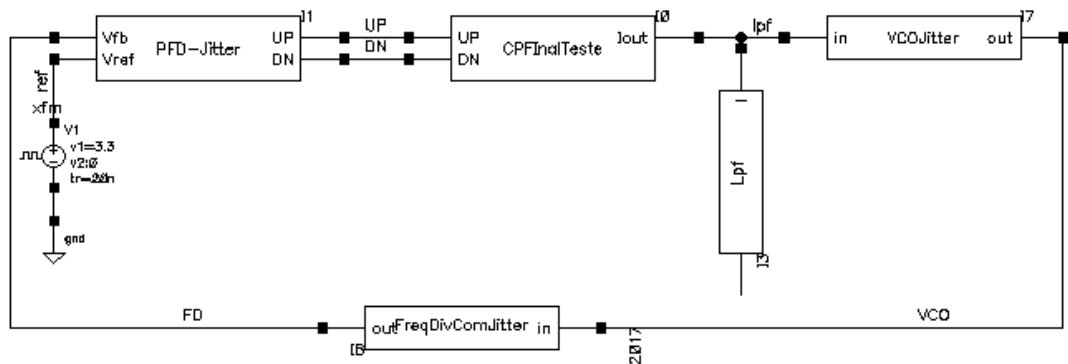


Figura 4.24 Esquema de simulação elétrica do sistema PLL não ideal.

A Figura 4.25 apresenta o resultado de simulação do sistema PLL não ideal. Para cada um dos sinais apresentados, foram feitas duas análises, uma com a variável jitter de cada um dos blocos igual a zero e outra com a variável jitter a variar aleatoriamente.

Ainda na mesma figura pode verificar-se que nos primeiros instantes de tempo a frequência do sinal de realimentação (sinal a saída do FD) é menor do que a do sinal de referência, logo o sinal UP fica ativo (enquanto DN permanece a zero). Desta forma, a tensão de controle a saída do filtro é crescente de maneira a aumentar a frequência de oscilação do VCO. No instante de tempo, em que o sinal DN fica ativo (enquanto UP permanece desativo), a frequência do sinal de realimentação passou a ser maior do que a do sinal de referência. Desta forma, o valor de tensão de controle a saída do LPF diminui no sentido de diminuir o valor de frequência de oscilação do VCO.

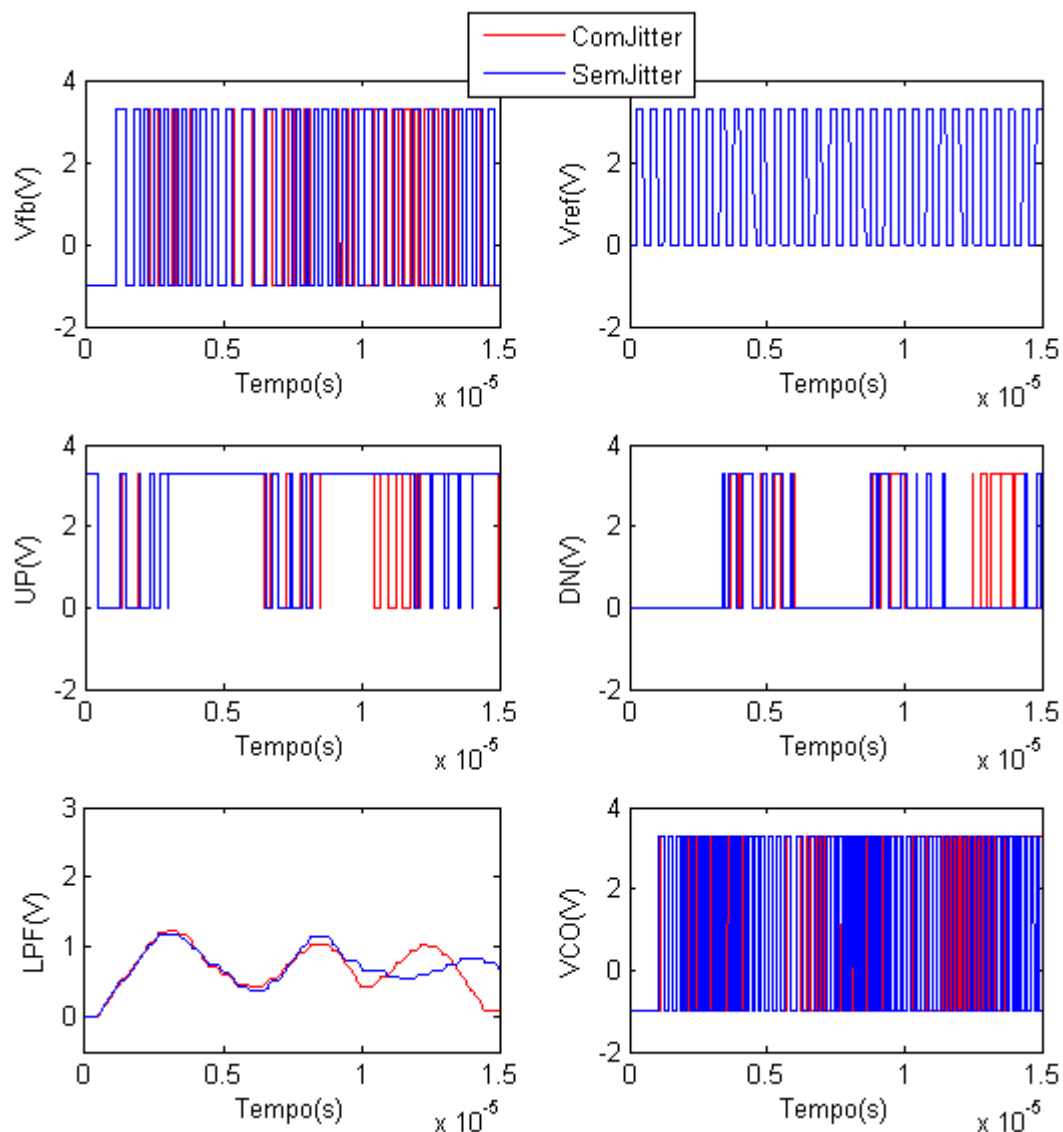


Figura 4.25 Resultados de simulação do sistema PLL não ideal.

5

5. Conclusão e trabalho futuro

Neste capítulo são apresentadas as conclusões finais do trabalho desenvolvido, tendo por base os resultados apresentados no capítulo anterior através da simulação de cada um dos blocos individuais e finalmente através dos resultados do sistema completo ideal e não ideal. Para além das conclusões este capítulo apresenta também o trabalho futuro sobre esta dissertação.

5.1. Conclusões

Os PLLs são circuitos com enorme importância na atualidade, devido às diversas áreas de aplicações. Contudo o seu projeto é dificultado pelo demasiado tempo de simulação em malha fechada. Esta dissertação surge com o objetivo de diminuir o tempo de simulação, pela utilização de modelos comportamentais para cada um dos blocos constituintes, e posterior integração desses modelos no ambiente CADENCE.

Analisando os resultados apresentados no capítulo anterior, pode-se concluir que cada um dos modelos ideais e não ideais, tiveram comportamentos bastante satisfatórios. Através de testes foi possível analisar cada um dos blocos individualmente e concluído que cada um desses blocos apresentam um comportamento como era de esperar para diferentes frequências.

Depois de análise de cada um dos blocos individualmente, foram feitas análises dos blocos já interligados como mostram as Figura 4.15 e Figura 4.24. Ao simular o circuito apresentado na Figura 4.15 (PLL ideal), foi observado que a frequência de tensão de referência era de 1.5 *MHz*, é reproduzida em termos de fase e de frequência na saída do circuito.

Para além da análise do circuito ideal foi feita também uma análise do PLL não ideal, como mostra a Figura 4.24. Para análise do circuito não ideal, foi considerada a existência de jitter como sendo uma variável aleatória. Foram feitas duas análises, em que na primeira análise

a variável jitter tinha valor nulo, e na segunda análise a variável jitter tem uma variação aleatória. Para as duas análises foi possível concluir que o sistema conseguia atingir a sincronização com o sinal de referência, como era de esperar.

Finalmente, um dos grandes objetivos deste trabalho, que era de conseguir estes resultados em curto intervalo de tempo, foi alcançado ao simular o sistema ideal e não ideal em 5- μ s, o que é bastante satisfatório.

5.2. Trabalho futuro

Um dos objetivos desta dissertação era depois de ter criado os modelos comportamentais utiliza-los com o otimizador do CADENCE para a síntese de um PLL para aplicações *wireless*. Contudo, devido à inacessibilidade ao otimizador na versão atual do CADENCE não foi possível atingir este objetivo. Desta forma, esta dissertação deixa em aberto a continuação deste trabalho usar os modelos desenvolvidos com o otimizador do CADENCE para a síntese de um PLL para aplicações *wireless*.

Bibliografia

- [1] M. Hinz, I. Konenkamp, and E.-H. Horneber, "Behavioral modeling and simulation of phase-locked loops for RF front ends," in *Proceedings of the 43rd IEEE Midwest Symposium on Circuits and Systems (Cat.No.CH37144)*, 2009, vol. 1, pp. 194–197.
- [2] T. S. Standard, "Behavioral Modeling of PLL Using Verilog-A," no. July, pp. 4–6, 2003.
- [3] S. Alexandre and A. André, "Análise e Implementação Digital de uma Malha de Captura de Fase para Sincronização de Conversores à Rede Elétrica," 2015.
- [4] F. M. El-turky, and R. H. Leonowich, "Behavioral Modeling Phase-locked Loops for Mixed-Mode Simulation," *Analog Integr. Circuits Signal Process.*, vol. 45565, no. 10, pp. 46–65, 1996.
- [5] S. Sneha and S. Adhikari "7-STUDY OF VOLTAGE-CONTROLLED OSCILLATOR BASED ANALOG-TO- DIGITAL CONVERTER," pp. 1–49, 2011.
- [6] F. D. E. C. E. Tecnologia, P. Miguel, and R. Pereira, "Desenvolvimento de Ambiente para Caracterização Automática de PLLs," 2005.
- [7] P. R. Pinheiro, "Desenvolvimento de um Sistema de Recuperação de Sincronismo de Vídeo Baseado em PLL para," 2008.
- [8] A. M. G. ARGÜELLO, "Estudo E Projeto De Um Sintetizador De Frequência Para Rf," 2004.
- [9] J. Zou, D. Mueller, H. Graeb, U. Schlichtmann, E. Hennig, and R. Sommer, "Fast automatic sizing of a charge pump phase-locked loop based on behavioral models," *BMAS 2005 - Proc. 2005 IEEE Int. Behav. Model. Simul. Work.*, vol. 2005, pp. 100–105, 2005.
- [10] Analog Devices, "Fundamentals of Phase Locked Loops (PLLs)," pp. 1–10, 2009.
- [11] T. Almeida, N. Guimar, and W. Avelino, "Modelagem de um PLL e Projeto de VCO para Transceptor ZigBee," 2015.
- [12] S. Corporation, Y. E. Sahinkaya, and P. Alto, "Modeling and simulation of an Analog Charge-Pump Phase Locked Loop," *Simulation*, vol. 50, no. April, pp. 155–160, 1988.
- [13] K. Kundert, "Modeling and Simulation of Jitter in Phase-Locked Loops," pp. 359–379,

- 1997.
- [14] P. D. Saraju P. Mohanty, "Components of Phase Locked Loop (PLL)," 2000.
 - [15] R. E. Best, "Phase-Locked Loops - Design, Simulation, And Applications." p. 421, 2003.
 - [16] J. Meyer, "MODELING PHASE-LOCKED Director of Engineering," *Engineering*, pp. 581–590, 2007.
 - [17] J. A. Hamadamin, "Noise Analysis of Phase Locked Loops 2 Noise Performance of PLLs," vol. 2006, pp. 479–484, 2006.
 - [18] V. Valenta, G. Baudoin, and M. Villegas, "Phase Noise Analysis of PLL Based Frequency Synthesizers for Multi-Radio Mobile Terminals," *2008 3rd Int. Conf. Cogn. Radio Oriented Wirel. Networks Commun. (CrownCom 2008)*, pp. 1–4, 2008.
 - [19] G. Nash, "Phase-Locked Loop Design Fundamentals," pp. 1–22, 2006.
 - [20] J. Meyer, "Modeling PLLs using Verilog," pp. 581–590, 2007.
 - [21] F. A. Musa, "Noise Analysis of Phase Locked Loops and System Trade-offs," *Analysis*, pp. 1–18, 2002.
 - [22] F. M. Gardner, "Phaselock techniques. John Wiley & Sons," 2005.
 - [23] N. C. L. Hess, D. J. Carlson, J. D. Inder, E. Jesulola, J. R. Mcfarlane, and N. A. Smart, *Phase-locked loop synthesizer simulation. McGraw-Hill, Inc.* Cambridge: Cambridge University Press, 2005.
 - [24] R. B. Razavi, Behzad, "RF microelectronics. Vol. 1. New Jersey: Prentice Hall," 1998.
 - [25] Clark T.-c. Nguyen "System Level Design of Timing and Frequency Control Circuit," *IOSR J. VLSI Signal Process.*, vol. 4, no. 4, pp. 40–48, 2014.
 - [26] J. Gombak, "Theoretical Modeling and Simulation of Phase – Locked Loop (Pll) for Clock Data Recovery (Cdr)," vol. 12, no. 5, pp. 105–113, 2011.
 - [27] S. Vamvakos "PLL jitter measurements," no. June 2006, pp. 1–34, 2006.
 - [28] E. Liu, A. L. Sangiovanni-Vincentelli, G. Gielen, and P. R. Gray, "A behavioral representation for Nyquist rate A/D converters," in *Computer-Aided Design, 1991. ICCAD-91. Digest of Technical Papers., 1991 IEEE International Conference on*, 1991, pp. 386–389.
 - [29] S. Subramanian, "Behavioral Time Domain Modeling of RF Phase-Locked Loops," no. May, 2009.
 - [30] Charan Langton, "Unlocking the Phase Lock Loop - Part 1," *Delta*, vol. 1, pp. 1–20, 1932.
 - [31] E. Sugawara and H. Nikaido, "Properties of AdeABC and AdeIJK efflux systems of *Acinetobacter baumannii* compared with those of the AcrAB-TolC system of *Escherichia coli*," *Antimicrob. Agents Chemother.*, vol. 58, no. 12, pp. 7250–7, Dec. 2014.
 - [32] K. Ma, R. Van Leuken, M. Vidojkovic, J. Romme, S. Rampu, H. Pflug, L. Huang, and G. Dolmans, "A Precise and High Speed Charge-Pump PLL Model Based on SystemC/SystemC-AMS," *Int. J. Electron. Telecommun.*, vol. 58, no. 3, pp. 225–232, 2012.
 - [33] D. R. Stephens, *Phase-Locked Loops for Wireless Communications*. Boston: Kluwer Academic Publishers, 2002.

- [34] L. Manual, “Cadence® Verilog® Language and Simulation,” *Cadence*, 2002.

